

TPD4E001 适用于高速数据接口的低电容 4 通道 ESD 保护

1 特性

- IEC 61000-4-2 ESD 保护 (4 级)
 - $\pm 8\text{kV}$ 接触放电
 - $\pm 15\text{kV}$ 气隙放电
- 5.5A 峰值脉冲电流 (8/20 μs 脉冲)
- IO 电容 : 1.5pF (典型值)
- 低漏电流 : 1nA (最大值)
- 低电源电流 : 1nA
- 0.9V 至 5.5V 电源电压范围
- 节省空间的 DRL、DBV、DCK、DPK 和 DRS 封装选项
- 备用的 2 通道、3 通道、6 通道选项可供选择 :
TPD2E001、TPD3E001、TPD6E001

2 应用

- USB 2.0
- 以太网
- FireWire™ 串行总线
- LVDS
- SVGA 视频连接
- 血糖仪

3 说明

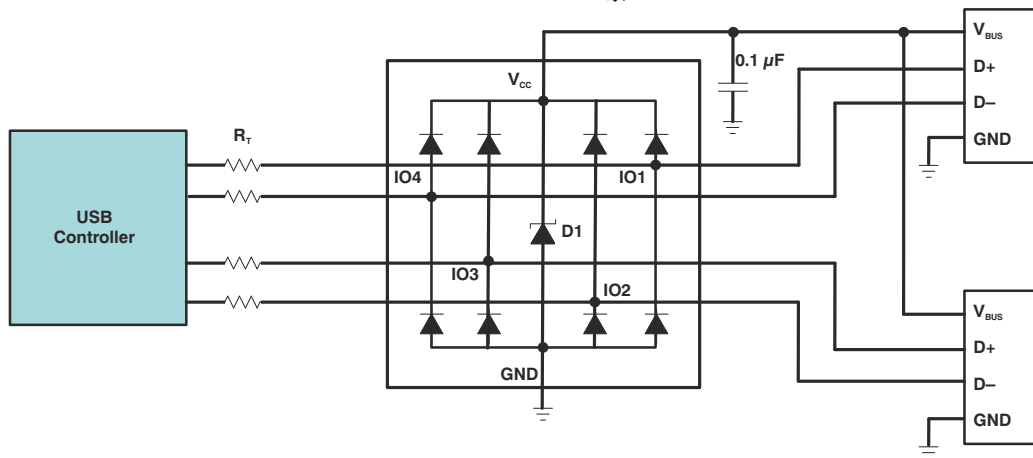
TPD4E001 是基于 4 通道瞬态电压抑制器 (TVS) 的静电放电 (ESD) 保护二极管阵列。TPD4E001 的额定 ESD 冲击消散值达到了 IEC 61000-4-2 (4 级) 国际标准中规定的最高水平。该器件的每个通道都有 1.5pF 的 IO 电容, 因此非常适合用在高速数据 IO 接口中。此超低泄漏电流 (最大值 $< 1\text{nA}$) 适合于诸如血糖仪和心率监测仪等高精度模拟测量应用。

TPD4E001 有 DRL (SOT)、DBV (SOT-23)、DCK (SC-70)、DRS (QFN)、和 DPK (PUSON) 封装方式可供选择, 并且其额定工作温度范围为 -40°C 至 $+85^{\circ}\text{C}$ 。另请参阅 [TPD4E1U06DCKR](#) 和 [TPD4E1U06DBVR](#), 分别与 [TPD4E001DCKR](#) 和 [TPD4E001DBVR](#) 引脚对引脚兼容。这些器件具有更高的 IEC 保护性能、更低的电容、更低的钳位电压, 并且无需要使用输入电容器。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
TPD4E001	SOT (6)	1.60mm × 1.20mm
		2.90mm × 1.60mm
	SC70 (6)	2.00mm × 1.25mm
	USON (6)	1.60mm × 1.60mm
	SON (6)	3.00mm × 3.00mm

(1) 如需了解所有可用封装, 请参阅数据表末尾的可订购产品附录。



应用原理图



内容

1 特性	1	6.4 器件功能模式	7
2 应用	1	7 应用和实施	8
3 说明	1	7.1 应用信息.....	8
4 引脚配置和功能	3	7.2 典型应用.....	8
引脚功能.....	3	8 布局	9
5 规格	4	8.1 布局指南.....	9
5.1 绝对最大额定值.....	4	8.2 布局示例.....	9
5.2 ESD 等级 - JEDEC 规格.....	4	9 器件和文档支持	11
5.3 ESD 等级 - IEC 规格.....	4	9.1 第三方产品免责声明.....	11
5.4 建议运行条件.....	4	9.2 文档支持.....	11
5.5 热性能信息.....	5	9.3 接收文档更新通知.....	11
5.6 电气特性.....	5	9.4 支持资源.....	11
5.7 典型特性.....	6	9.5 商标.....	11
6 详细说明	7	9.6 静电放电警告.....	11
6.1 概述.....	7	9.7 术语表.....	11
6.2 功能方框图.....	7	10 修订历史记录	11
6.3 特性说明.....	7	11 机械、封装和可订购信息	13

4 引脚配置和功能

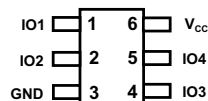


图 4-1. DRL 封装 6 引脚 SOT 顶视图

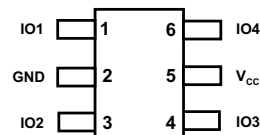


图 4-2. DBV 或 DCK 封装 6 引脚 SOT 或 SC70 顶视图

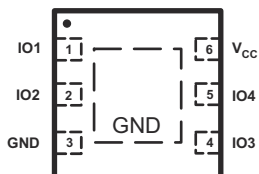


图 4-3. DRS 封装 6 引脚 SON 顶视图

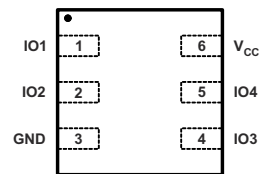


图 4-4. DPK 封装 6 引脚 USON 顶视图

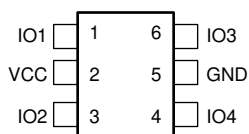


图 4-5. TPD4E001R DBV 封装 6 引脚 SOT 顶视图

引脚功能

名称	引脚			I/O	说明
	DRS、DRL、DPK	DBV、DCK	TPD4E001R		
GND	3	2	5	—	接地
IOx	1	1	1	I	ESD 保护通道
	2	3	3		
	4	4	4		
	5	6	6		
V _{CC}	6	5	2	I	电源输入。使用一个 0.1 μF 陶瓷电容器，将 V _{CC} 旁路至 GND
外露散热焊盘 (仅限 DRS 封装)				—	外露散热焊盘连接至 GND 或保持悬空

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位
V_{CC}		-0.3	7	V
V_{IO}	IO 电压容差	-0.3	$V_{CC} + 0.3$	V
$I_{(Surge)}$	IEC 61000-4-5 峰值脉冲电流 ($T_p = 8/20\mu s$)，IOx 引脚		5.5	A
$P_{(Surge)}$	IEC 61000-4-5 峰值脉冲功率 ($T_p = 8/20\mu s$)，IOx 引脚		100	W
T_J	结温		150	°C
凸点温度（焊接）	红外 (15s)		220	°C
	气相 (60s)		215	
引线温度（焊接，10s）			300	°C
T_{stg}	贮存温度	-65	150	°C

(1) 应力超出绝对最大额定值下面列出的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在建议运行条件以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

5.2 ESD 等级 - JEDEC 规格

				值	单位
采用 DRS、DRL 和 DPK 封装的 TPD4E001					
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/ JEDEC JS-001 标准 ⁽¹⁾	除引脚 1、2、4 和 5 之外的所有引脚	±2000	V
			引脚 1、2、4 和 5	±15000	
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	所有引脚	±1000	
采用 DBV 和 DCK 封装的 TPD4E001					
V _(ESD)	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/ JEDEC JS-001 标准 ⁽¹⁾	除引脚 1、3、4 和 6 之外的所有引脚	±2000	V
			引脚 1、3、4 和 6	±15000	
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	所有引脚	±1000	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 ESD 等级 - IEC 规格

				值	单位
采用 DRS、DRL 和 DPK 封装的 TPD4E001					
V _(ESD)	静电放电	IEC 61000-4-2 接触放电	所有引脚	±8000	V
		IEC 61000-4-2 空气间隙放电	所有引脚	±15000	
采用 DBV 和 DCK 封装的 TPD4E001					
V _(ESD)	静电放电	IEC 61000-4-2 接触放电	所有引脚	±8000	V
		IEC 61000-4-2 空气间隙放电	所有引脚	±15000	

5.4 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
T_A	自然通风条件下的工作温度范围	-40	85	°C

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
工作电压	V _{CC} 引脚	0.9	5.5	V
	IO1、IO2 引脚	0	V _{CC}	

5.5 热性能信息

热指标 ⁽¹⁾		TPD4E001					单位
		DRL (SOT)	DBV (SOT)	DCK (SC70)	DPK (USON)	DRS (SON)	
		6 引脚	6 引脚	6 引脚	6 引脚	6 引脚	
R _{θJA}	结至环境热阻	226.4	259.7	251.1	247.6	91.9	°C/W
R _{θJC(top)}	结至外壳（顶部）热阻	90.3	186.5	88.1	124.8	106.9	°C/W
R _{θJB}	结至电路板热阻	61.2	107.6	54.8	204.2	64.8	°C/W
ψ _{JT}	结至顶部特征参数	6.7	71.4	1.7	19.2	10.2	°C/W
ψ _{JB}	结至电路板特征参数	61	107.1	54.1	209.3	64.9	°C/W
R _{θJC(bot)}	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	29.9	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

5.6 电气特性

在自然通风条件下的工作温度范围内测得（除非另有说明），V_{CC} = 5V ± 10%

参数		测试条件		最小值	典型值 ⁽¹⁾	最大值	单位
V _{CC}	电源电压			0.9		5.5	V
I _{CC}	电源电流				1	100	nA
V _F	二极管正向电压	I _F = 10mA		0.65		0.95	V
V _{BR}	击穿电压	I _{BR} = 10mA		11			V
V _C	通道钳位电压	T _A = 25°C , ±15kV HBM , I _F = 10A	正瞬态	V _{CC} + 25		V	
			负瞬态	-25			
		T _A = 25°C , ±8kV 接触放电 (IEC 61000-4-2) , I _F = 24A	正瞬态	V _{CC} + 60			
			负瞬态	-60			
		T _A = 25°C , ±15kV 空气间隙放电 (IEC 61000-4-2) , I _F = 45A	正瞬态	V _{CC} + 100			
			负瞬态	-100			
		IO 引脚上的浪涌冲击 , GND 引脚接地 , I _{PP} = 5A , 8/20μs ⁽²⁾	正瞬态	17			
V _{RWM}	反向关断电压	IO 引脚至 GND 引脚			5.5	V	
I _{I/O}	通道泄漏电流	V _{I/O} = GND 至 V _{CC}			±1	nA	
C _{I/O}	通道输入电容	V _{CC} = 5V , V _{CC} /2 的偏置 ; f = 10MHz			1.5	pF	

(1) 典型值均在 V_{CC}=5V、T_A = 25°C 下测得。

(2) 符合 ICE61000-4-5 标准的非重复电流脉冲 8/20μs 指数衰减波形。

5.7 典型特性

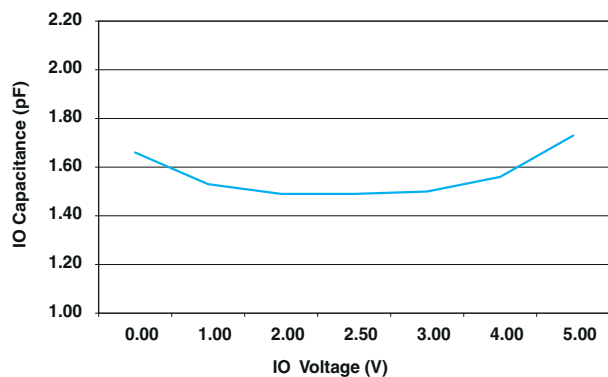


图 5-1. IO 电容与 IO 电压 ($V_{CC} = 5V$)

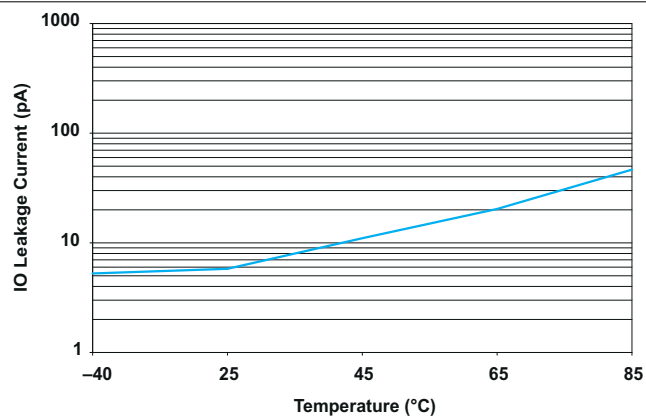


图 5-2. IO 泄漏电流与温度 ($V_{CC} = 5.5V$)

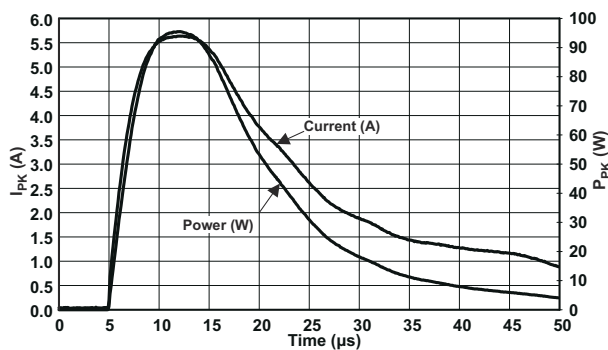


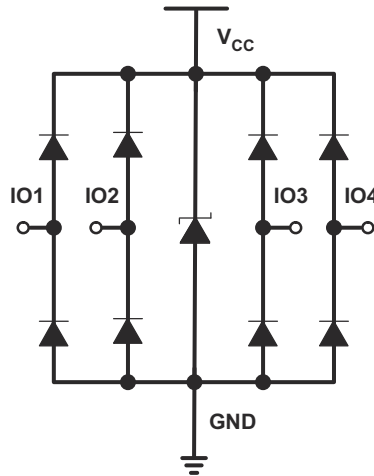
图 5-3. 峰值脉冲波形, $V_{CC} = 5.5V$

6 详细说明

6.1 概述

TPD4E001 是一款基于四通道瞬态电压抑制器 (TVS) 的 ESD 保护二极管阵列。TPD4E001 的额定 ESD 冲击消散值达到了 IEC 61000-4-2 (4 级) 国际标准中规定的最高水平。该器件的每个通道都有 1.5pF 的 IO 电容, 因此非常适合用在高速数据 IO 接口中。此超低泄漏电流 (最大值 < 1nA) 适合于诸如血糖仪和心率监测仪等高精度模拟测量应用。

6.2 功能方框图



6.3 特性说明

TPD4E001 是一款采用低电容的单向 ESD 保护器件。此器件由一个中央 ESD 钳位组成, 该钳位在每条线路上都有两个隐藏的二极管, 可减少电容负载。这个中央 ESD 钳位还连接到 V_{CC} , 可为 V_{CC} 线路提供保护。每条 IO 线路的 ESD 冲击消散值高于 IEC 61000-4-2 4 级国际标准规定的最高水平。TPD4E001 的负载电容值低, 使其成为保护高速信号端子的理想之选。

6.4 器件功能模式

TPD4E001 是一款无源集成电路, 当受保护电路上出现高于 V_{BR} 或者低于较低二极管 $V_{forward}$ (-0.6V) 的电压时将会激活。在 ESD 事件期间, 可通过内部二极管网络将高达 $\pm 15kV$ 的电压引导至接地端和 V_{CC} 。一旦受保护线路上的电压低于 TPD4E001 的触发电压 (通常在数十纳秒内), 器件就会恢复到高阻抗状态。

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 应用信息

TPD4E001 是一款二极管阵列类型的瞬态电压抑制器 (TVS)，通常用于提供一条接地路径来消除人机界面连接器和系统之间高速信号线上的 ESD 事件。当 ESD 电流流经 TVS 时，二极管上只会出现小压降。这便是提供给受保护 IC 的电压。触发的 TVS 的低 R_{DYN} 可将此电压 (V_{CLAMP}) 保持在受保护 IC 的可容忍水平。

7.2 典型应用

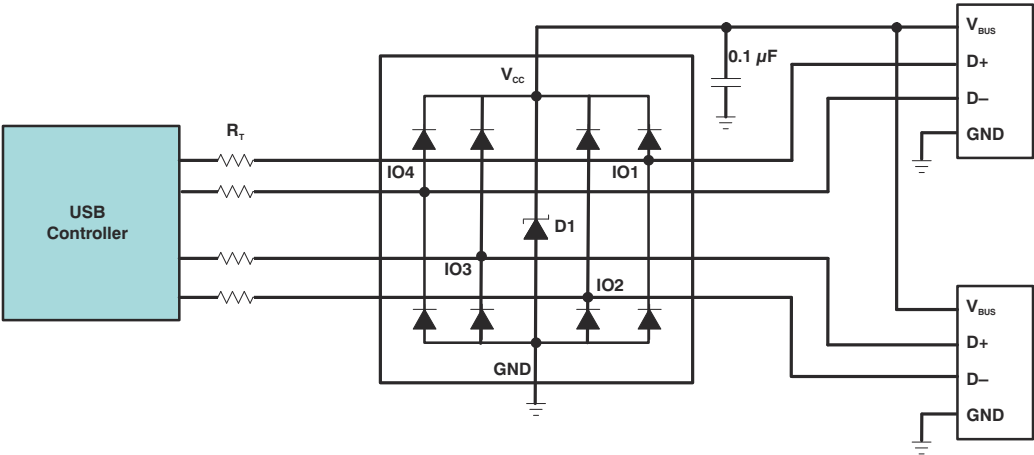


图 7-1. 典型应用原理图

7.2.1 设计要求

对于本设计示例，单个 TPD4E001 用于保护两个 USB2.0 连接器的所有引脚。

对于给定的 USB 应用，表 7-1 中的以下参数为已知。

表 7-1. 设计参数

设计参数	值
IO1、IO2、IO3 和 IO4 上的信号范围	0V 至 3.6V
信号电压范围， V_{CC}	0V 至 5.25V
运行频率	240MHz

7.2.2 详细设计过程

放置在 USB 连接器附近时，由于低 IO 电容和超低泄漏电流规格，TPD4E001 ESD 解决方案在正常运行期间几乎不会或不会发生信号失真。TPD4E001 确保核心电路受到保护，以及系统在发生 ESD 冲击时能够正常运作。为了确保正常运行，必须遵循以下布局/设计指南：

1. 将 TPD4E001 解决方案放置在靠近连接器的位置。这样，TPD4E001 就可以在 ESD 冲击造成的能量到达系统板的内部电路之前使其消失。
2. 将一个 0.1 μ F 的电容器放置在靠近 V_{CC} 引脚的位置。这可限制在 ESD 冲击事件期间，IO 引脚上发生任何瞬时电压浪涌。

3. 确保对 V_{CC} 和 GND 环路进行足够的金属化处理。在正常运行期间，TPD4E001 会消耗一定 nA 的泄漏电流。但在 ESD 事件期间， V_{CC} 和 GND 的电流可能在 15A 至 30A 之间，具体取决于 ESD 级别。足够的电流路径可确保与 ESD 冲击相关的所有能量实现安全放电。
4. 让未使用的 IO 引脚保持悬空。在这个保护两个 USB 端口的示例中，没有 IO 引脚处于未使用状态。
5. V_{CC} 引脚可通过两种不同的方式进行连接：
 - a. 如果 V_{CC} 引脚连接到系统电源，TPD4E001 将作为瞬态抑制器抑制任何高于 $V_{CC} + V_F$ 的信号摆幅。建议在器件 V_{CC} 引脚上使用 $0.1 \mu F$ 的电容器来实现 ESD 旁路。
 - b. 如果 V_{CC} 引脚未连接至系统电源，TPD4E001 可以承受更高的信号摆幅（最高 10V）。请注意，仍建议在 V_{CC} 引脚上使用 $0.1 \mu F$ 的电容器来实现 ESD 旁路。

7.2.3 应用曲线

图 7-2 是在发生 8kV 接触 IEC61000-4-2 ESD 冲击期间，采集的 IO3 上的 TPD4E001DRL 电压钳位波形。

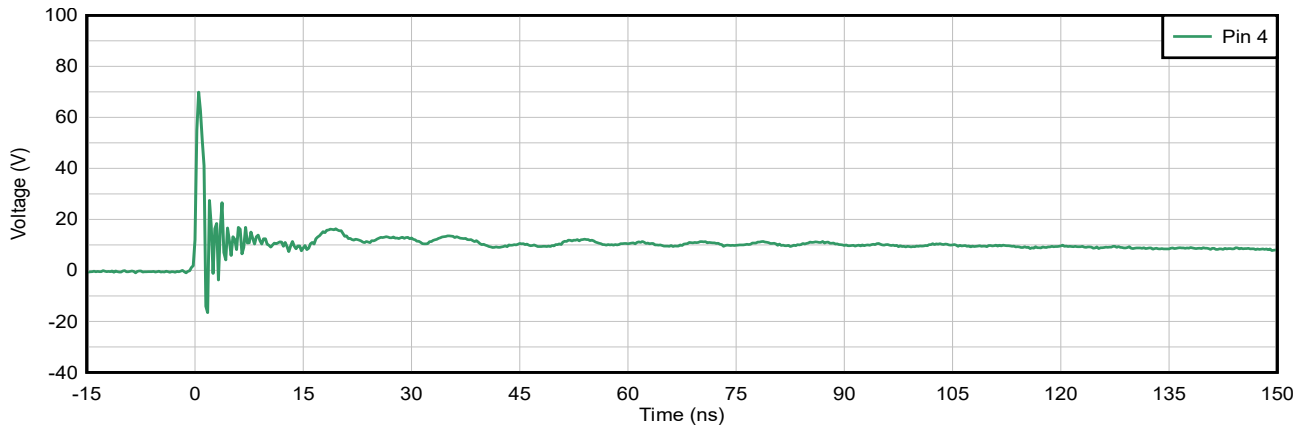


图 7-2. TPD4E001DRL IEC61000-4-2 电压钳位波形 8kV 接触

电源相关建议

该器件是一款无源 ESD 保护器件，无需为其供电。注意确保不超出每个引脚的最大电压规格。

8 布局

8.1 布局指南

- 最佳位置是尽可能靠近连接器。
 - ESD 事件期间的 EMI 可能会从受到冲击的布线耦合到附近其他未受保护的布线，从而导致早期系统故障。
 - PCB 设计人员需要使任何未受保护的布线远离 TVS 和连接器之间受保护的布线，以更大限度地降低 EMI 耦合的可能性。
- 受保护的布线应尽可能直线布置。
- 使用半径尽可能大的圆角，消除 TVS 和连接器之间受保护布线上的任何尖角。
 - 电场往往会积聚在拐角上，从而增加 EMI 耦合。

8.2 布局示例

下面是使用 TPD4E001 保护两个接口端口的布局示例。一个示例是两个 USB 2.0 端口，如 节 7 中讨论的那样。对于 USB 2.0 示例，IO1 和 IO2 分别对应 USB 端口 1 的 D+ 和 D-。IO3 和 IO4 分别对应 USB 端口 2 的 D- 和 D+。

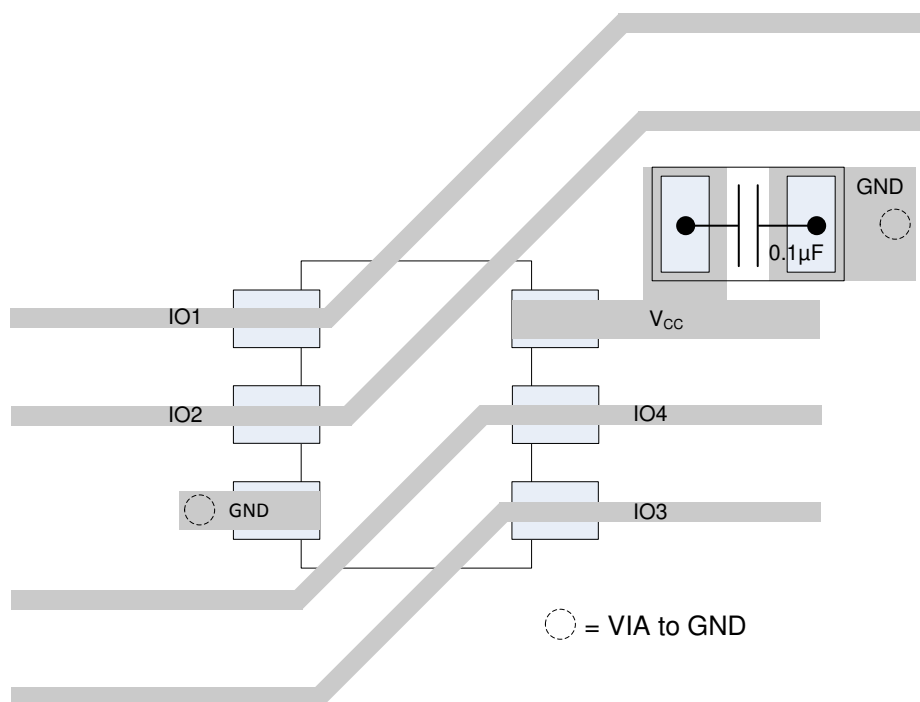


图 8-1. 采用 DRL 封装的布线

9 器件和文档支持

9.1 第三方产品免责声明

TI 发布的与第三方产品或服务有关的信息，不能构成与此类产品或服务或保修的适用性有关的认可，不能构成此类产品或服务单独或与任何 TI 产品或服务一起的表示或认可。

9.2 文档支持

9.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，[阅读并了解 ESD 保护数据表](#)
- 德州仪器 (TI)，[ESD 布局指南](#)

9.3 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](#) 上的器件产品文件夹。点击右上角的 [提醒我](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.4 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的[使用条款](#)。

9.5 商标

FireWire™ is a trademark of Apple Inc.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.6 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.7 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision O (July 2019) to Revision P (January 2025)	Page
• 删除了引脚排列图中的 DPK2 封装.....	3

Changes from Revision N (March 2018) to Revision O (July 2019)	Page
• 添加了 TPD4E001R DBV 封装图片并更新了“引脚功能”表.....	3

Changes from Revision M (May 2017) to Revision N (March 2018)	Page
• 将 TPD4E001DBVR 器件标识从 NFY 更改成了 NFYF.....	13

Changes from Revision L (May 2016) to Revision M (May 2017)	Page
• 更新了“引脚功能”表和 DCK2 封装图片.....	3
• 在 节 5.3 表中将“浪涌保护”更新为“IEC 规格”.....	4

Changes from Revision K (January 2015) to Revision L (May 2016)	Page
• 向电气特性表中的通道输入电容添加了频率测试条件.....	5
• 添加了社区资源.....	11

Changes from Revision J (December 2013) to Revision K (October 2014)	Page
• 添加了引脚配置和功能部分、ESD 等级表、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1

Changes from Revision I (September 2012) to Revision J (November 2013)	Page
• 更新了“说明”部分.....	1
• 删除了“订购信息”表.....	3

Changes from Revision H (August 2012) to Revision I (September 2012)	Page
• 添加了 DCK2 封装至引脚排列图。.....	3
• 更新了“电气特性”表.....	5

Changes from Revision G (December 2011) to Revision H ()	Page
• 更新了“订购信息”表的“顶部标识”列。.....	3

Changes from Revision F (May 2011) to Revision G (December 2011)	Page
• 更新了文档格式.....	1
• 添加了 DPK (PUSON) 封装及封装信息。.....	3

Changes from Revision E (April 2011) to Revision F (May 2011)	Page
• 向“典型工作特性”中添加了“峰值脉冲波形图”。.....	6

Changes from Revision C (April 2007) to Revision D (December 2010)	Page
• 添加了 DBV (SOT-23) 封装及封装信息。.....	3

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TPD4E001DBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	(NFY5, NFYF) (NFYP, NFYS)
TPD4E001DCKR	Active	Production	SC70 (DCK) 6	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	(2CF, 2CR) (2CP, 2CP) 2CH
TPD4E001DPKR	Active	Production	USON (DPK) 6	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2C7
TPD4E001DPKT	Active	Production	USON (DPK) 6	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	2C7
TPD4E001DRLR	Active	Production	SOT-5X3 (DRL) 6	4000 LARGE T&R	Yes	NIPDAU NIPDAUAG	Level-1-260C-UNLIM	-40 to 85	(2C7, 2CR) (2CG, 2CH)
TPD4E001DRSR	Active	Production	SON (DRS) 6	1000 LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 85	ZWM
TPD4E001RDBVR	Active	Production	SOT-23 (DBV) 6	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 85	NRYP

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TPD4E001 :

- Automotive : [TPD4E001-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

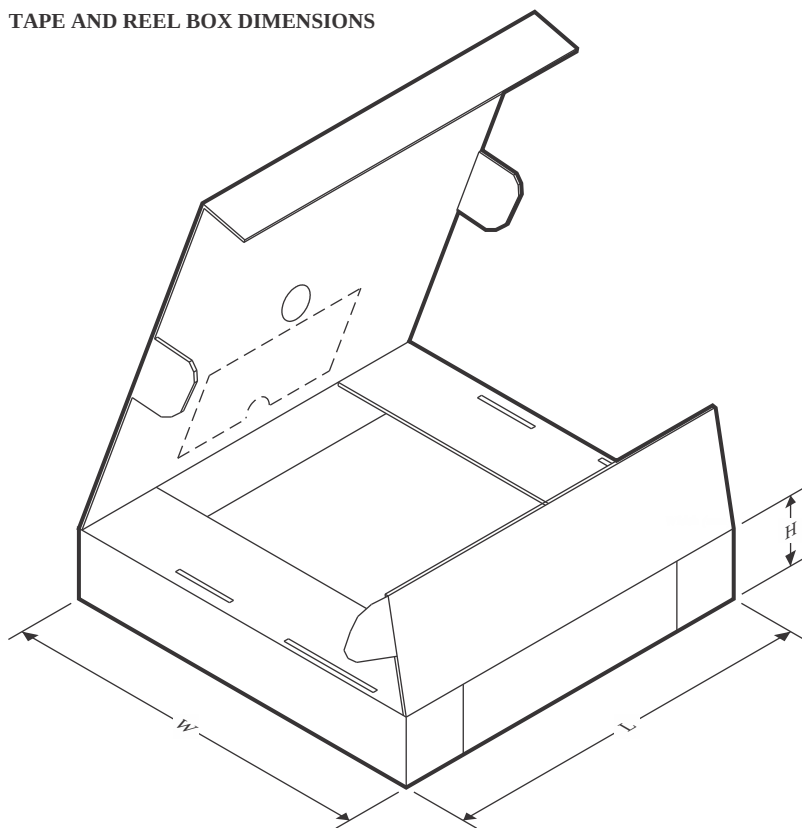
TAPE AND REEL INFORMATION



*All dimensions are nominal

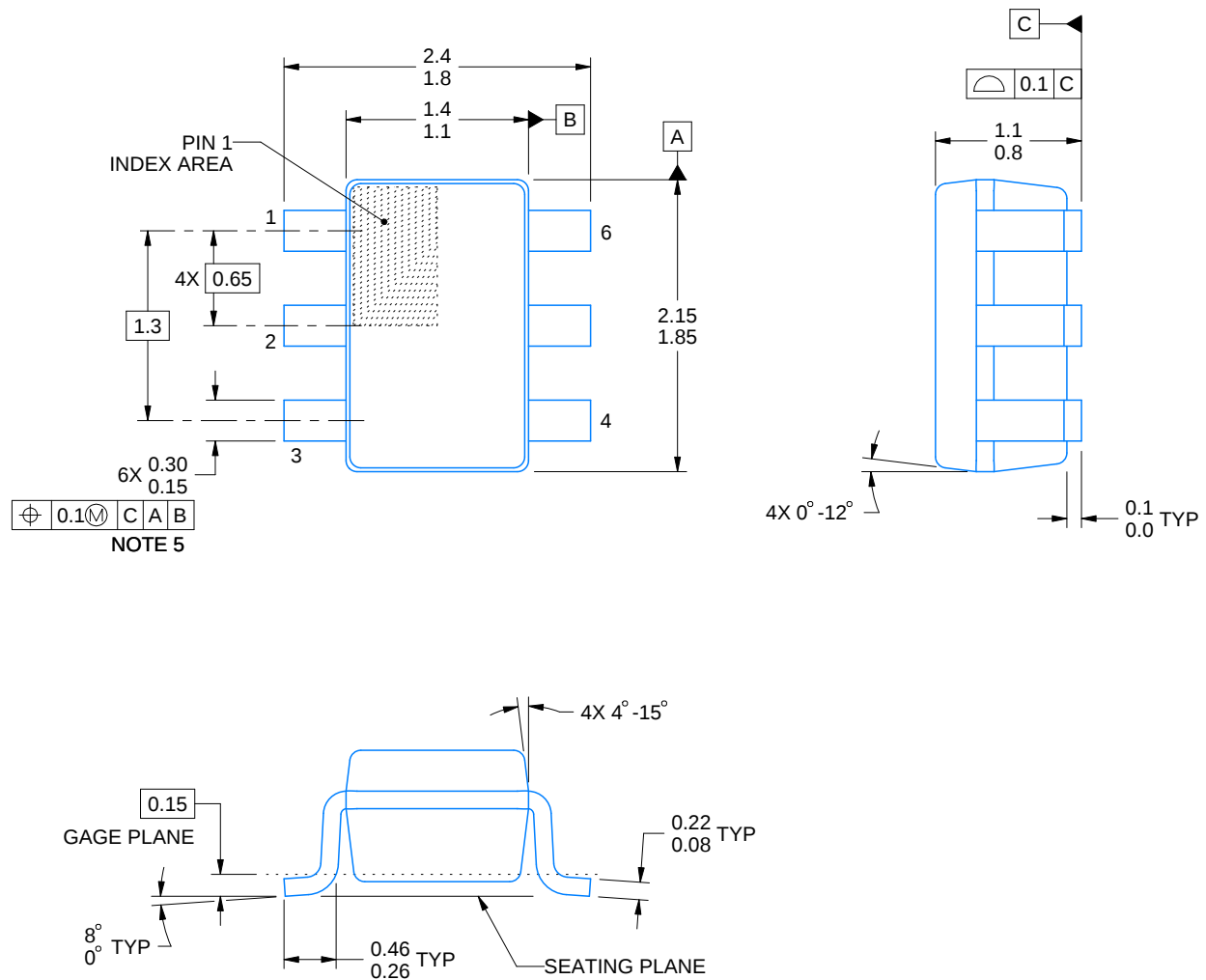
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TPD4E001DBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3
TPD4E001DCKR	SC70	DCR	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TPD4E001DPKR	USON	DPK	6	5000	180.0	9.5	1.75	1.75	0.7	4.0	8.0	Q2
TPD4E001DPKT	USON	DPK	6	250	180.0	9.5	1.75	1.75	0.7	4.0	8.0	Q2
TPD4E001DRLR	SOT-5X3	DRL	6	4000	180.0	8.4	2.0	1.8	0.75	4.0	8.0	Q3
TPD4E001DRSR	SON	DRS	6	1000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TPD4E001RDBVR	SOT-23	DBV	6	3000	178.0	9.0	3.23	3.17	1.37	4.0	8.0	Q3

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

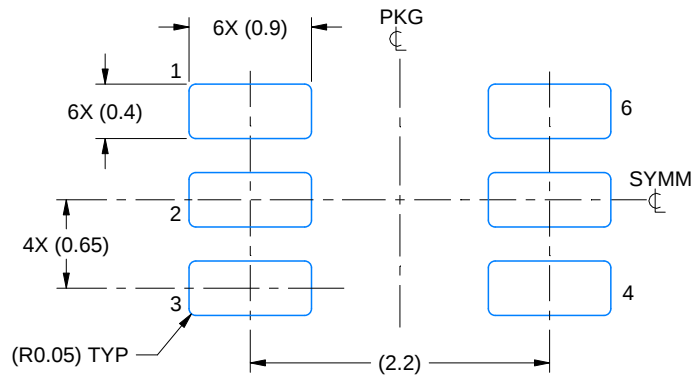
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TPD4E001DBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0
TPD4E001DCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TPD4E001DPKR	USON	DPK	6	5000	184.0	184.0	19.0
TPD4E001DPKT	USON	DPK	6	250	184.0	184.0	19.0
TPD4E001DRLR	SOT-5X3	DRL	6	4000	210.0	185.0	35.0
TPD4E001DRSR	SON	DRS	6	1000	356.0	356.0	35.0
TPD4E001RDBVR	SOT-23	DBV	6	3000	180.0	180.0	18.0



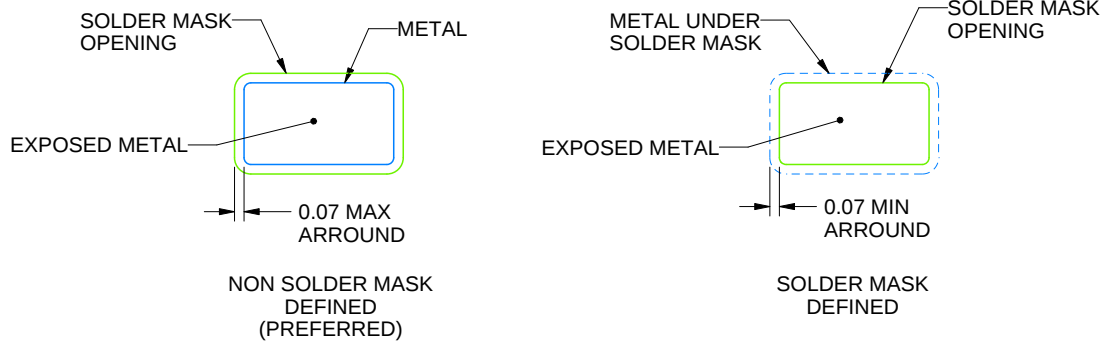
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

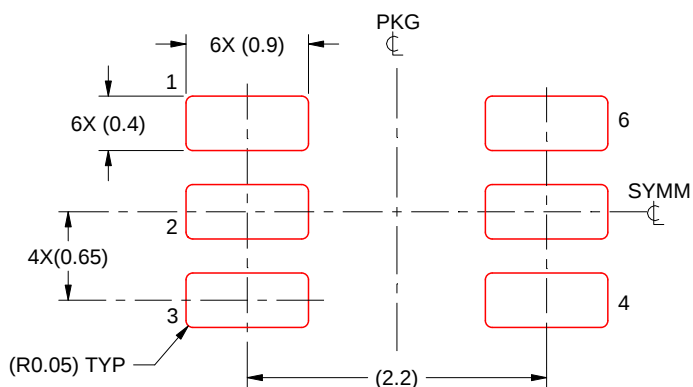


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

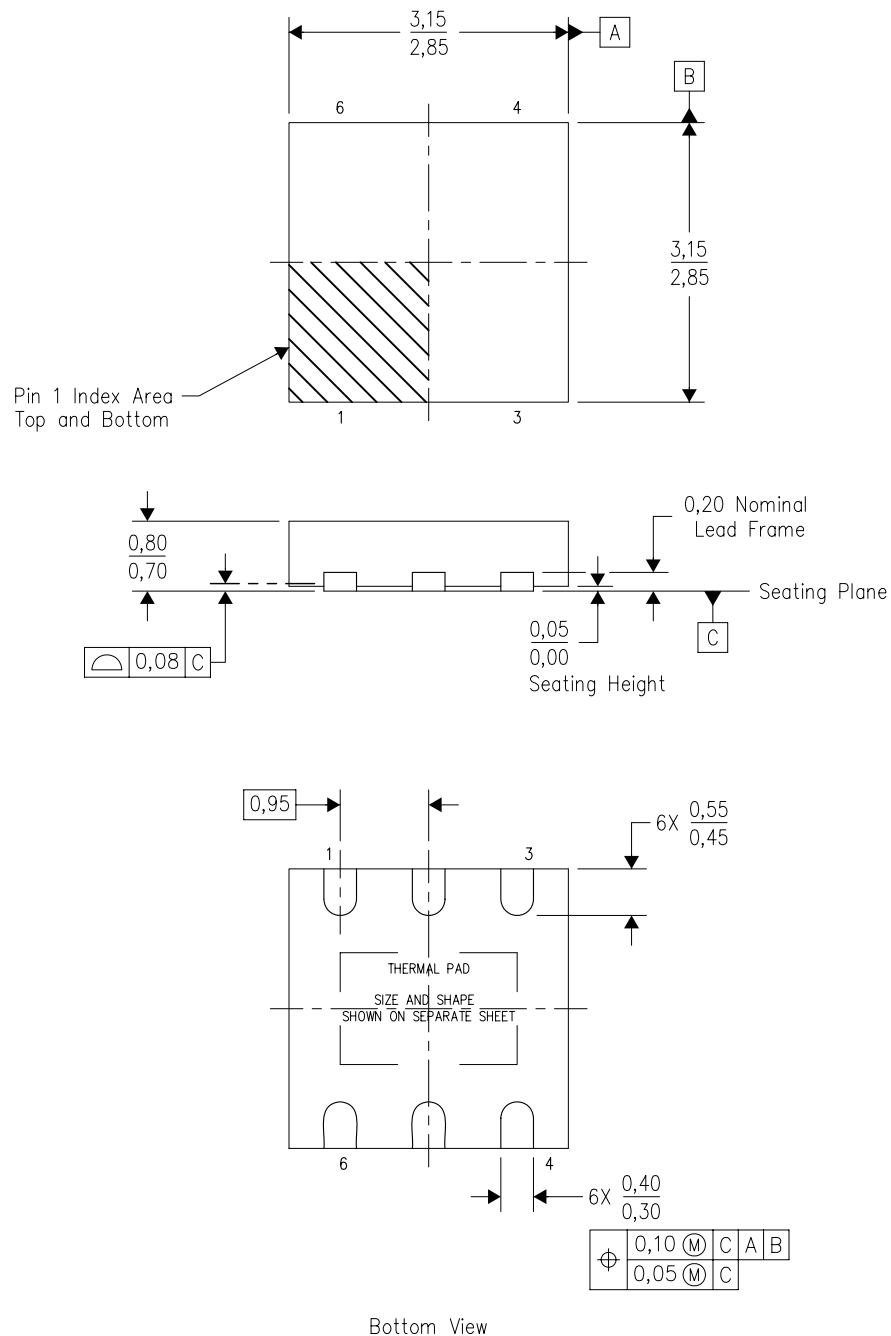
4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DRS (S-PWSON-N6)

PLASTIC SMALL OUTLINE NO-LEAD



4206219/F 07/11

- NOTES:
- All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - This drawing is subject to change without notice.
 - SON (Small Outline No-Lead) package configuration.
 - The package thermal pad must be soldered to the board for thermal and mechanical performance.
 - See the additional figure in the Product Data Sheet for details regarding the exposed thermal pad features and dimensions.

DRS (S-PWSON-N6)

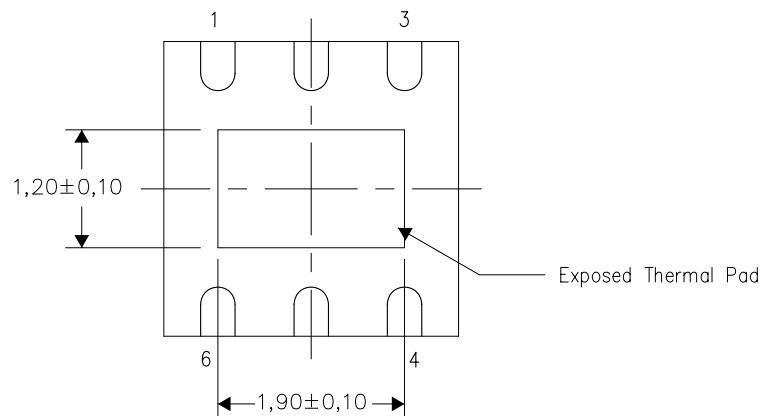
PLASTIC SMALL OUTLINE NO-LEAD

THERMAL INFORMATION

This package incorporates an exposed thermal pad that is designed to be attached directly to an external heatsink. The thermal pad must be soldered directly to the printed circuit board (PCB). After soldering, the PCB can be used as a heatsink. In addition, through the use of thermal vias, the thermal pad can be attached directly to the appropriate copper plane shown in the electrical schematic for the device, or alternatively, can be attached to a special heatsink structure designed into the PCB. This design optimizes the heat transfer from the integrated circuit (IC).

For information on the Quad Flatpack No-Lead (QFN) package and its advantages, refer to Application Report, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271. This document is available at www.ti.com.

The exposed thermal pad dimensions for this package are shown in the following illustration.



Bottom View

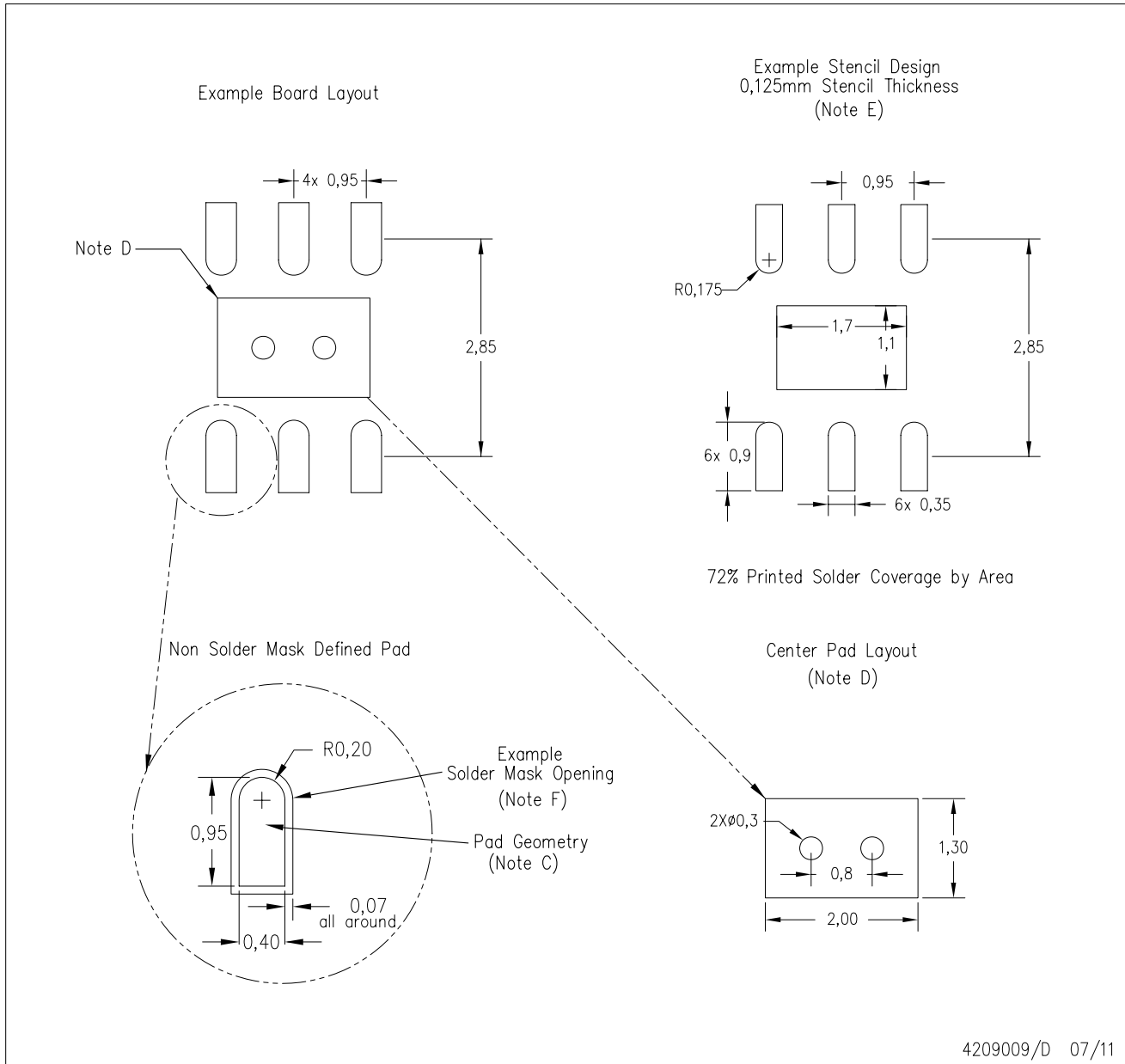
Exposed Thermal Pad Dimensions

4207663/E 07/11

NOTE: All linear dimensions are in millimeters

DRS (S-PWSON-N6)

PLASTIC SMALL OUTLINE NO-LEAD



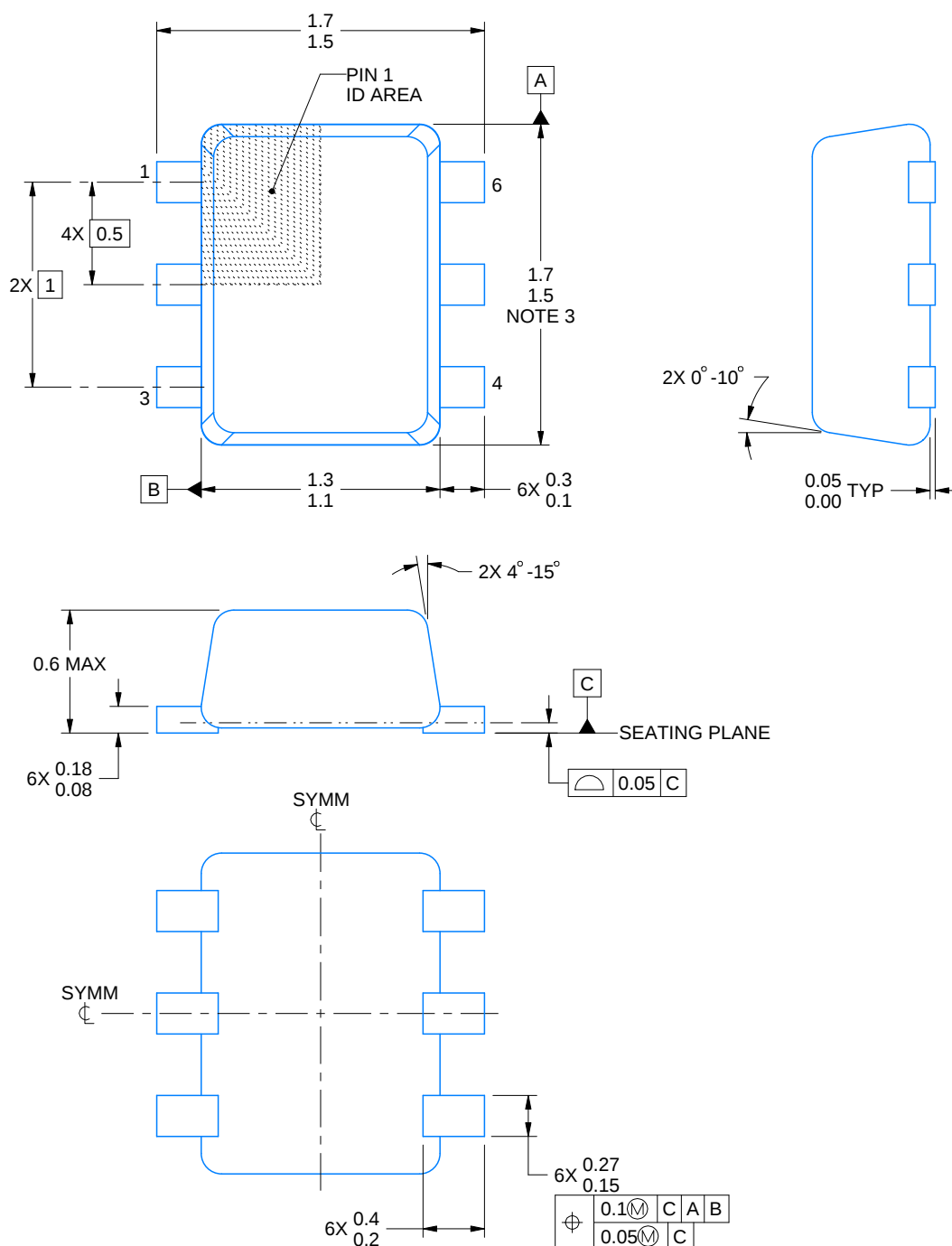
- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. This package is designed to be soldered to a thermal pad on the board. Refer to Application Note, QFN/SON PCB Attachment, Texas Instruments Literature No. SLUA271, and also the Product Data Sheets for specific thermal information, via requirements, and recommended board layout. These documents are available at www.ti.com <<http://www.ti.com>>.
 - E. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - F. Customers should contact their board fabrication site for solder mask tolerances.



PACKAGE OUTLINE

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



4223266/F 11/2024

NOTES:

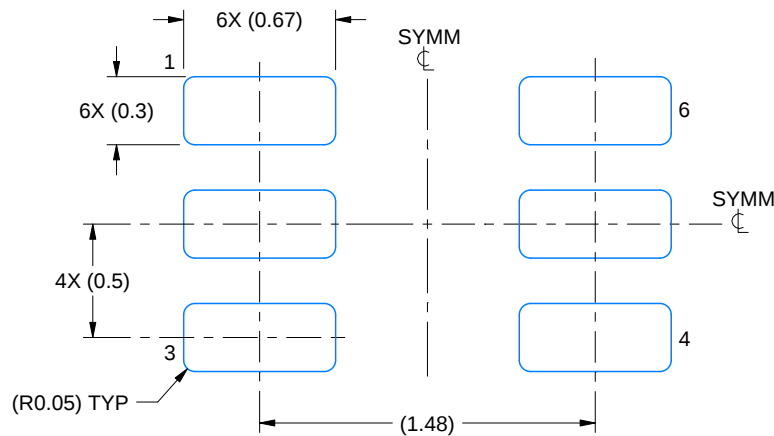
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD

EXAMPLE BOARD LAYOUT

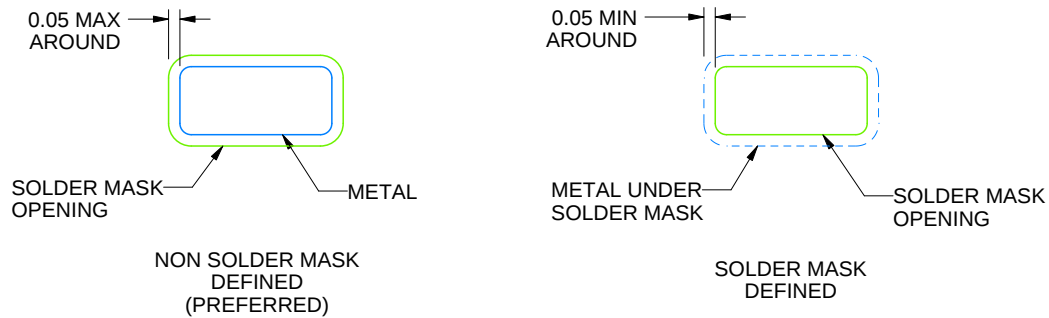
DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
SCALE:30X



SOLDERMASK DETAILS

4223266/F 11/2024

NOTES: (continued)

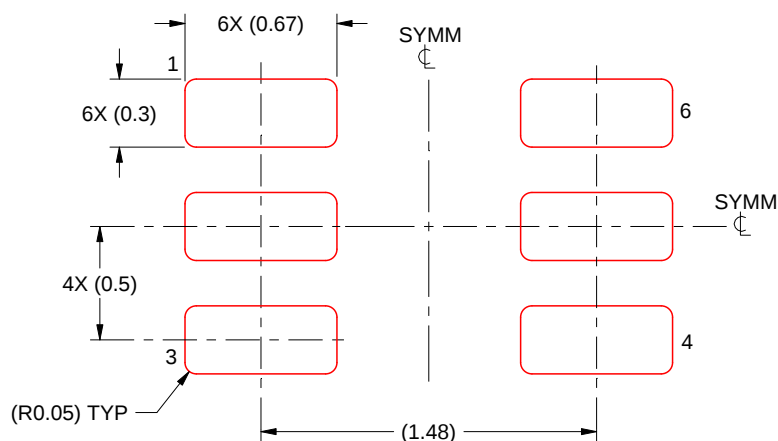
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
7. Land pattern design aligns to IPC-610, Bottom Termination Component (BTC) solder joint inspection criteria.

EXAMPLE STENCIL DESIGN

DRL0006A

SOT - 0.6 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

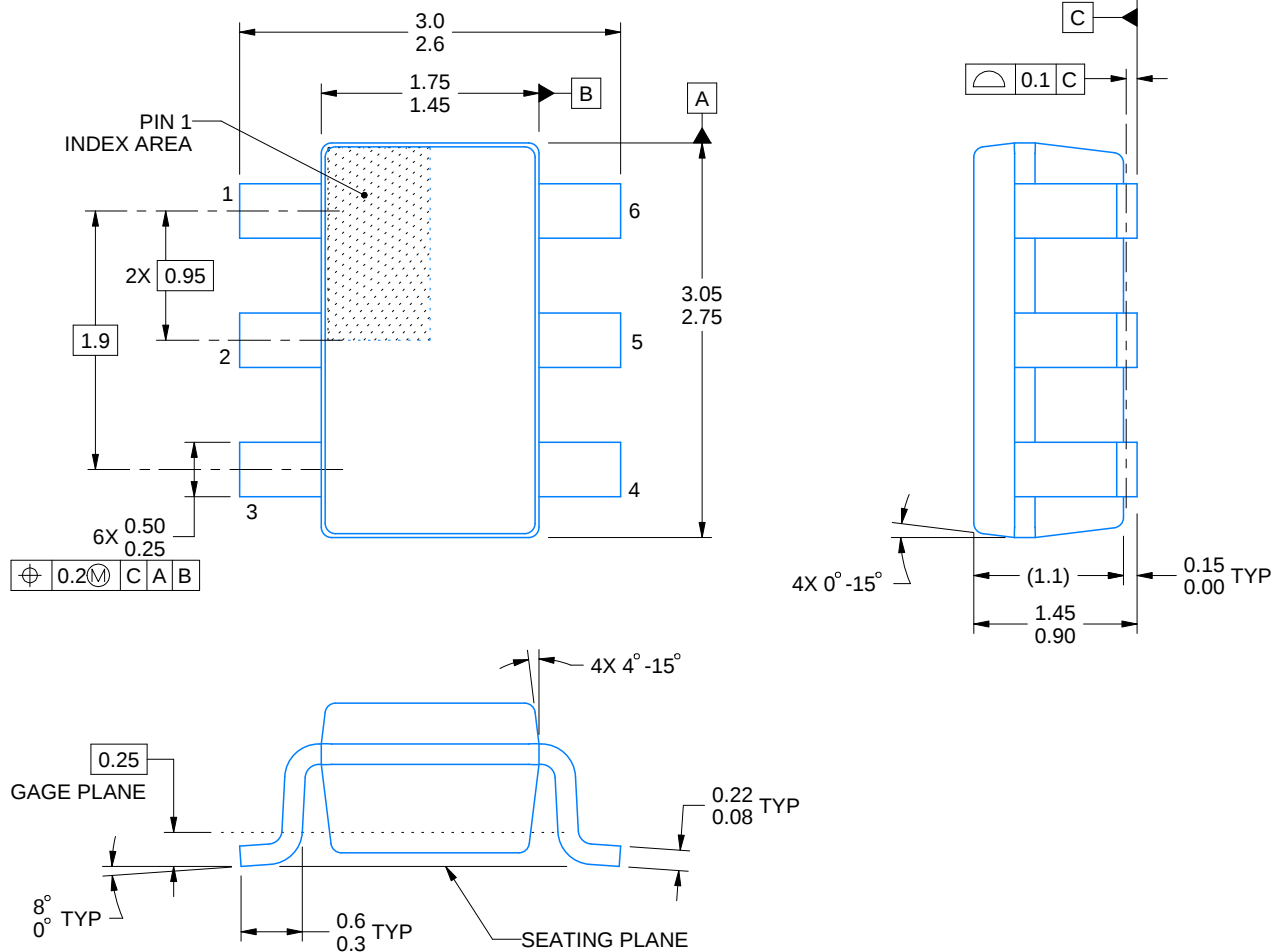
4223266/F 11/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DBV0006A**PACKAGE OUTLINE****SOT-23 - 1.45 mm max height**

SMALL OUTLINE TRANSISTOR



4214840/G 08/2024

NOTES:

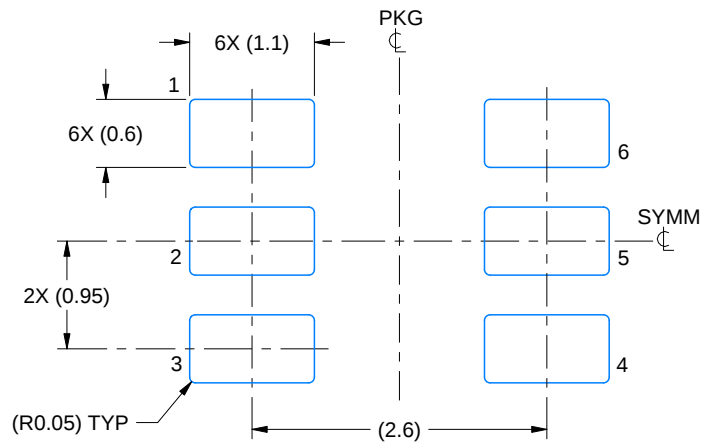
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.25 per side.
4. Leads 1,2,3 may be wider than leads 4,5,6 for package orientation.
5. Reference JEDEC MO-178.

EXAMPLE BOARD LAYOUT

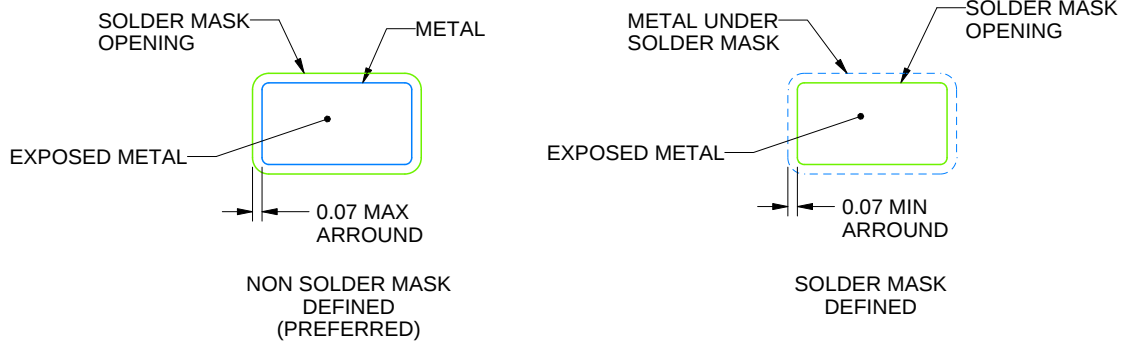
DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4214840/G 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

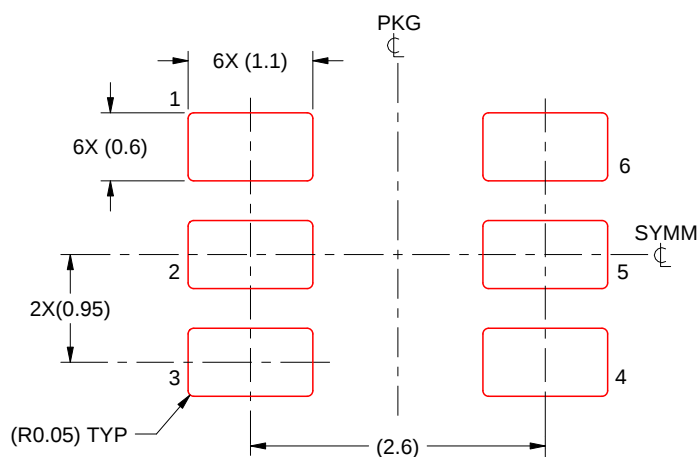
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBV0006A

SOT-23 - 1.45 mm max height

SMALL OUTLINE TRANSISTOR



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

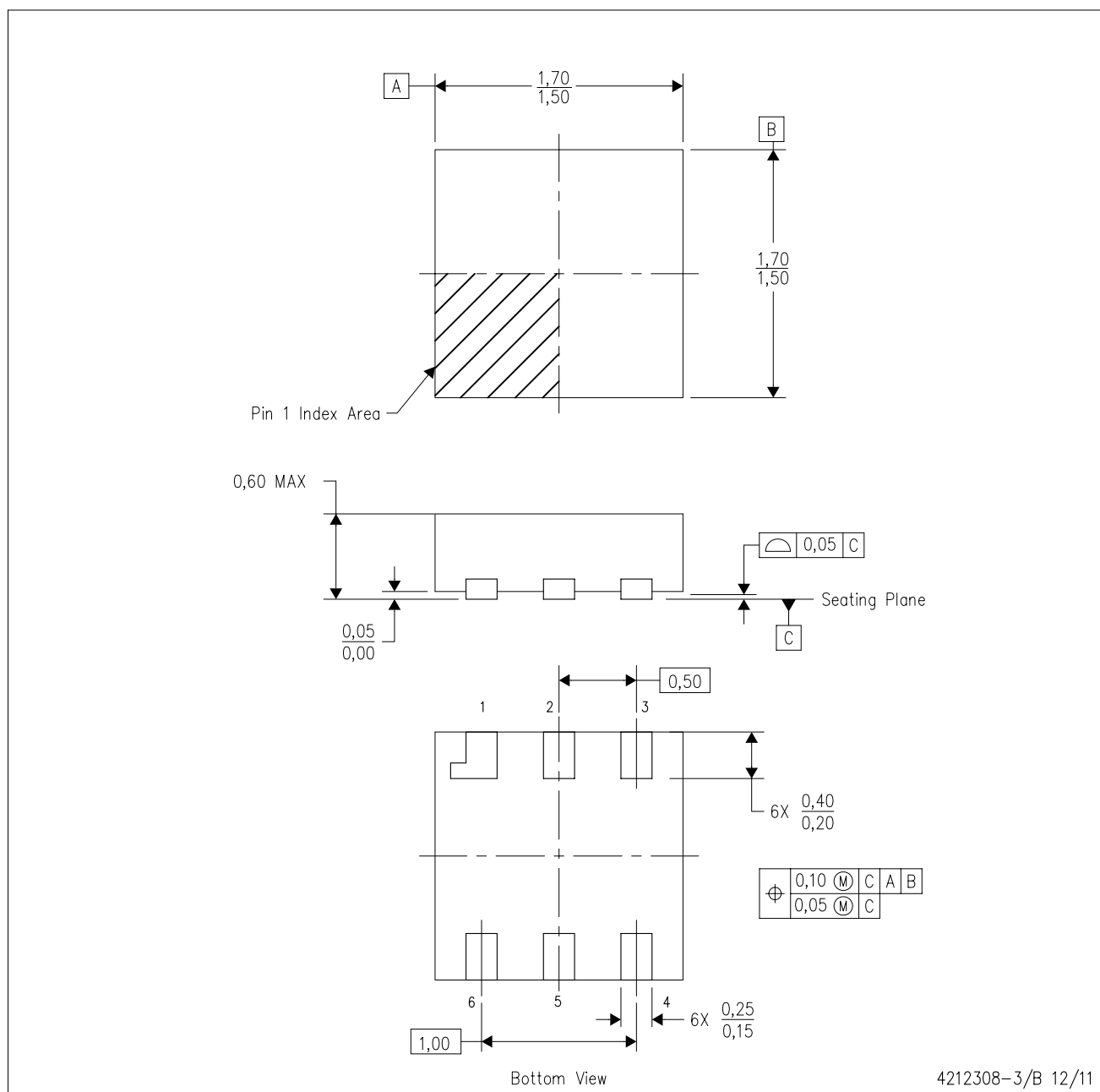
4214840/G 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DPK (S-PUSON-N6)

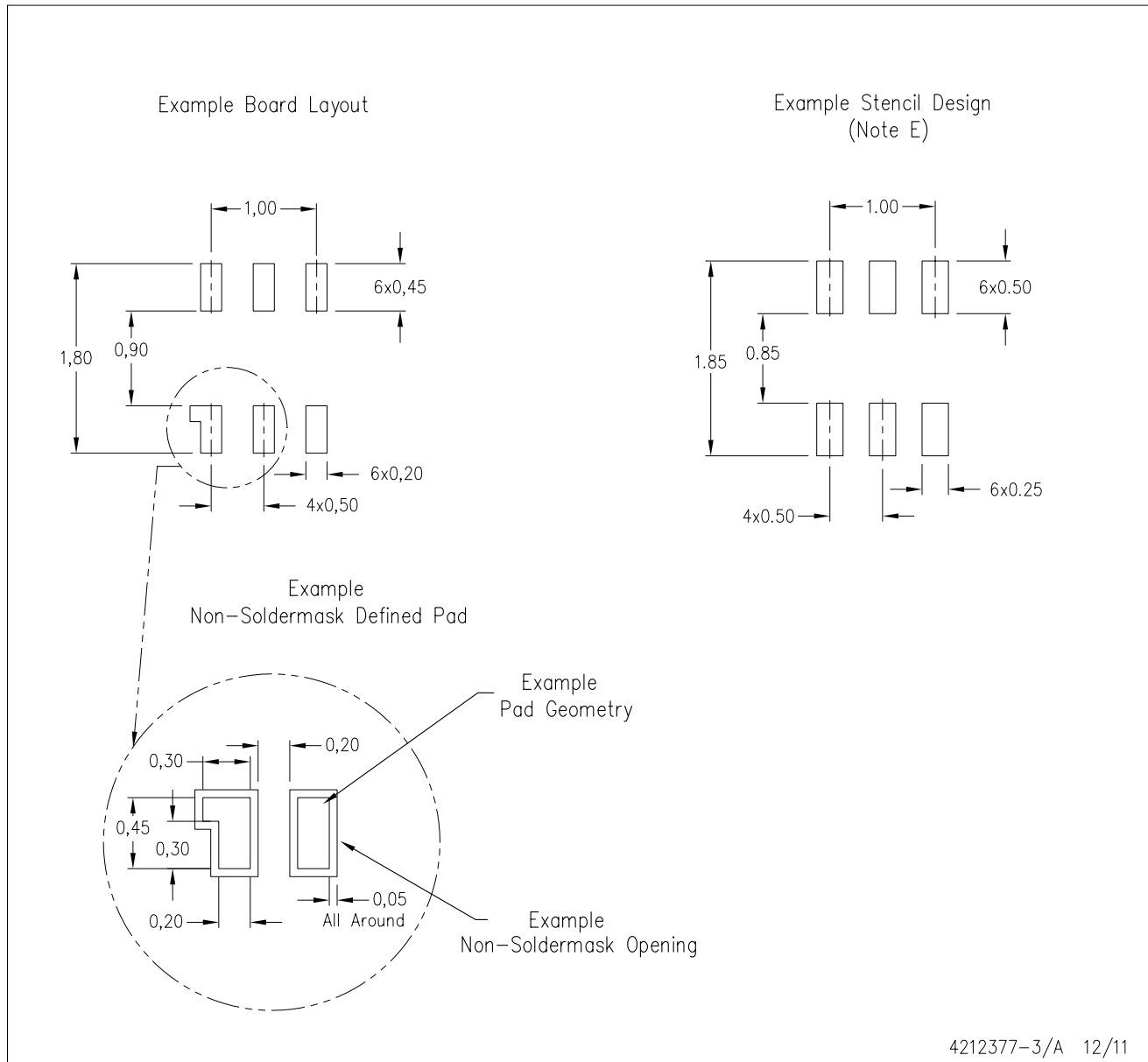
PLASTIC SMALL OUTLINE NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.

DPK (S-PUS0N-N6)

PLASTIC SMALL OUTLINE NO-LEAD



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Publication IPC-7351 is recommended for alternate designs.
 - D. Customers should contact their board fabrication site for minimum solder mask web tolerances between signal pads.
 - E. Maximum stencil thickness 0,127 mm (5 mils). All linear dimensions are in millimeters.
 - F. Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC 7525 for stencil design considerations.
 - G. Side aperture dimensions over-print land for acceptable area ratio > 0.66. Customer may reduce side aperture dimensions if stencil manufacturing process allows for sufficient release at smaller opening.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司