

SNx4HCT574 具有三态输出的八路边沿触发 D 类触发器

1 特性

- 4.5V 至 5.5V 的工作电压范围
- 高电流三态同相输出直接驱动总线或驱动最多 15 个 LSTTL 负载
- 低功耗， I_{CC} 最大值为 80 μ A
- t_{pd} 典型值 = 22ns
- 5V 时，输出驱动为 ± 6 mA
- 低输入电流，最大值 1 μ A
- 输入兼容 TTL 电压
- 总线结构引脚分配

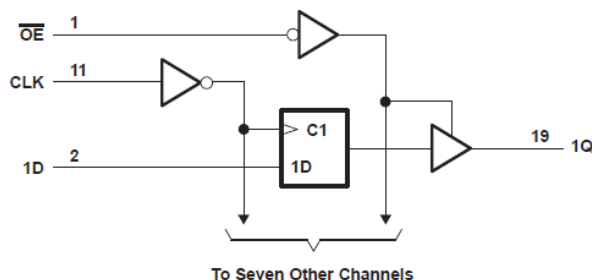
2 说明

这些八路边沿触发 D 类触发器具有专为总线驱动设计的三态输出。HCT574 器件尤其适用于实现缓冲寄存器、I/O 端口、双向总线驱动器和工作寄存器。

器件信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 ⁽³⁾
SN74HCT574	DGS (VSSOP , 20)	5.1mm $\times$ 4.9mm	5.1mm $\times$ 3mm
	DW (SOIC , 20)	12.80mm $\times$ 10.3mm	12.80mm $\times$ 7.50mm
	DB (SSOP , 20)	7.2mm $\times$ 7.8mm	7.2mm $\times$ 5.30mm
	PDIP (20)	24.33mm $\times$ 9.4mm	24.33mm $\times$ 6.35mm
	NS (SOP , 20)	12.6mm $\times$ 7.8mm	12.6mm $\times$ 5.3mm
	PW (TSSOP , 20)	6.50mm $\times$ 6.4mm	6.50mm $\times$ 4.40mm

- (1) 有关更多信息，请参阅第 11 节。
 (2) 封装尺寸 (长 $\times$ 宽) 为标称值，并包括引脚 (如适用)。
 (3) 本体尺寸 (长 $\times$ 宽) 为标称值，不包括引脚。



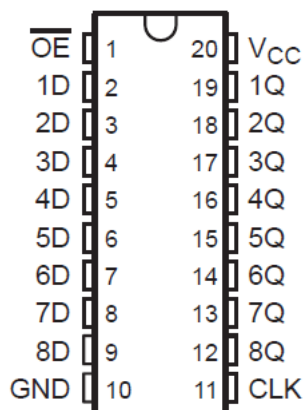
逻辑图 (正逻辑)



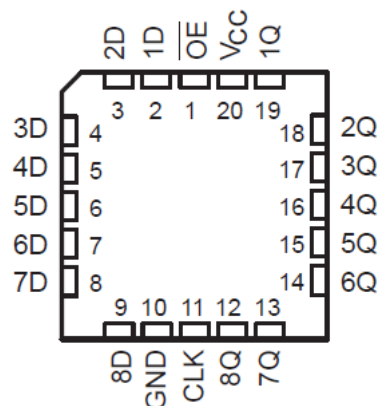
内容

1 特性.....	1	6.1 概述.....	8
2 说明.....	1	6.2 功能方框图.....	8
3 引脚配置和功能.....	3	6.3 器件功能模式.....	8
4 规格.....	4	7 应用和实施.....	9
4.1 绝对最大额定值.....	4	7.1 电源相关建议.....	9
4.2 建议的运行条件	4	7.2 布局.....	9
4.3 热性能信息.....	4	8 器件和文档支持.....	10
4.4 电气特性.....	5	8.1 接收文档更新通知.....	10
4.5 时序要求.....	5	8.2 支持资源.....	10
4.6 开关特性.....	5	8.3 商标.....	10
4.7 开关特性.....	6	8.4 静电放电警告.....	10
4.8 工作特性.....	6	8.5 术语表.....	10
5 参数测量信息.....	7	9 修订历史记录.....	10
6 详细说明.....	8	10 机械、封装和可订购信息.....	10

3 引脚配置和功能



DB、DGS、DW、N、NS 或 PW 封装
20 引脚 SSOP、SOIC、PDIP、SO、TSSOP
顶视图



FK 封装
20 引脚 LCCC
顶视图

表 3-1. 引脚功能

名称 ⁽¹⁾	引脚	类型	说明
1OE	1	I	输出使能 1
1A1	2	I	1A1 输入
2Y4	3	O	2Y4 输出
1A2	4	I	1A2 输入
2Y3	5	O	2Y3 输出
1A3	6	I	1A3 输入
2Y2	7	O	2Y2 输出
1A4	8	I	1A4 输入
2Y1	9	O	2Y1 输出
GND	10	—	接地引脚
2A1	11	I	2A1 输入
1Y4	12	O	1Y4 输出
2A2	13	I	2A2 输入
1Y3	14	O	1Y3 输出
2A3	15	I	2A3 输入
1Y2	16	O	1Y2 输出
2A4	17	I	2A4 输入
1Y1	18	O	1Y1 输出
2OE	19	I	输出使能 2
VCC	20	—	电源引脚

(1) I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
I_{IK}	输入钳位电流 ⁽²⁾	$V_I < 0$ 或 $V_I > V_{CC}$		± 20	mA
I_{OK}	输出钳位电流 ⁽²⁾	$V_O < 0$ 或 $V_O > V_{CC}$		± 20	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		± 35	mA
	通过 V_{CC} 或 GND 的持续电流			± 70	mA
T_J	结温			150	°C
T_{stg}	贮存温度范围		-65	150	°C

- (1) 应力超出“绝对最大额定值”下列出的值可能会对器件造成永久损坏。这些仅为应力等级，并不表明器件在这些额定值下或者任何其他超过“建议运行条件”所标明的条件下可正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

4.2 建议的运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			SN54HCT574			SN74HCT574			单位
			最小值	标称值	最大值	最小值	标称值	最大值	
V_{CC}	电源电压		4.5	5	5.5	4.5	5	5.5	V
V_{IH}	高电平输入电压	$V_{CC} = 4.5V$ 至 $5.5V$	2			2			V
V_{IL}	低电平输入电压	$V_{CC} = 4.5V$ 至 $5.5V$			0.8			0.8	V
V_I	输入电压		0		V_{CC}	0		V_{CC}	V
V_O	输出电压		0		V_{CC}	0		V_{CC}	V
$\Delta t / \Delta v$	输入转换上升/下降时间				500			500	ns
T_A	自然通风条件下的工作温度范围		-55		125	-40		85	°C

- (1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 [CMOS 输入缓慢或悬空的影响](#)，文献编号 [SCBA004](#)。

4.3 热性能信息

		DGS (VSSOP)	DW (SOIC)	DB (SSOP)	N (PDIP)	NS (SO)	PW (TSSOP)	单位
热指标		20 引脚	20 引脚	20 引脚	20 引脚	20 引脚	20 引脚	
$R_{\theta JA}$	结至环境热阻 ⁽¹⁾	130.6	109.1	122.7	84.6	113.4	131.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	68.7	76	81.6	72.5	78.6	72.2	°C/W
$R_{\theta JB}$	结至电路板热阻	85.4	77.6	77.5	65.3	78.4	82.8	°C/W
ψ_{JT}	结至顶部特征参数	10.5	51.5	46.1	55.3	47.1	21.5	°C/W
ψ_{JB}	结至电路板特征参数	85.0	77.1	77.1	65.2	78.1	82.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	不适用	不适用	不适用	°C/W

- (1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用报告。

4.4 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件		V _{CC}	T _A = 25°C			SN54HCT574		SN74HCT574		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
V _{OH}	V _I = V _{IH} 或 V _{IL}	I _{OH} = -20 μA	4.5V	4.4	4.499		4.4		4.4		V
		I _{OH} = -6mA		3.98	4.3		3.7		3.84		
V _{OL}	V _I = V _{IH} 或 V _{IL}	I _{OL} = 20 μA	4.5V		0.001	0.1		0.1		0.1	V
		I _{OL} = 6mA			0.17	0.26		0.4		0.33	
I _I	V _I = V _{CC} 或 0		5.5V		±0.1	±100		±1000		±1000	nA
I _{OZ}	V _O = V _{CC} 或 0		5.5V		±0.01	±0.5		±10		±5	μA
I _{CC}	V _I = V _{CC} 或 0,	I _O = 0	5.5V			8		160		80	μA
ΔI _{CC} ⁽¹⁾	一个输入电压为 0.5V 或 2.4V， 其他输入电压为 0V 或 V _{CC}		5.5V		1.4	2.4		3		2.9	mA
C _i			4.5V 至 5.5V		3	10		10		10	pF

(1) 这是每个输入在指定 TTL 电压电平之一而不是 0V 或 V_{CC} 时电源电流的增加情况。

4.5 时序要求

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

		V _{CC}	T _A = 25°C		SN54HCT574		SN74HCT574		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
f _{clock}	时钟频率	4.5V		30		20		24	MHz
		5.5V		33		22		27	
t _w	脉冲持续时间，CLK 高电平或低电平	4.5V	16		24		20		ns
		5.5V	14		22		18		
t _{su}	建立时间，CLK ↑ 前的数据	4.5V	20		30		25		ns
		5.5V	17		27		23		
t _h	保持时间，CLK ↑ 后的数据	4.5V	5		5		5		ns
		5.5V	5		5		5		

4.6 开关特性

在自然通风条件下的建议工作温度范围内测得，C_L = 50pF（除非另有说明）（请参阅[参数测量信息](#)）

参数	从 (输入)	至 (输出)	V _{CC}	T _A = 25°C			SN54HCT574		SN74HCT574		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
f _{max}			4.5V	30	36		20		24		MHz
			5.5V	33	40		22		27		
t _{pd}	CLK	任意 Q	4.5V		30	36		54		45	ns
			5.5V		25	32		48		41	
t _{en}	OE	任意 Q	4.5V		26	30		45		38	ns
			5.5V		23	27		41		34	
t _{dis}	OE	任意 Q	4.5V		23	30		45		38	ns
			5.5V		22	27		41		34	
t _t		任意 Q	4.5V		10	12		18		15	ns
			5.5V		9	11		16		14	

4.7 开关特性

在自然通风条件下的建议工作温度范围内测得， $C_L = 150\text{pF}$ （除非另有说明）（请参阅[参数测量信息](#)）

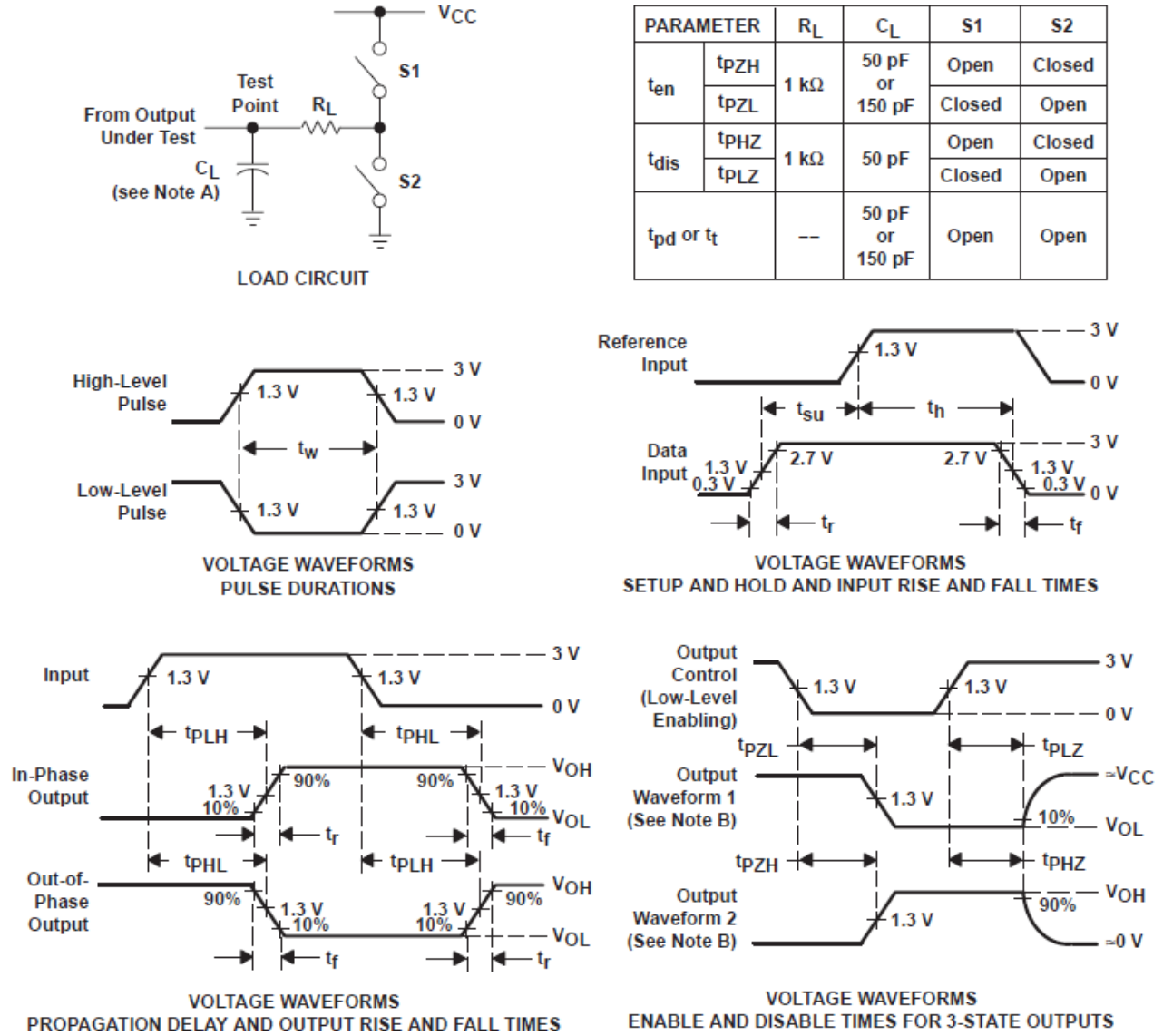
参数	从 (输入)	至 (输出)	V_{CC}	$T_A = 25^\circ\text{C}$			SN54HCT574		SN74HCT574		单位
				最小值	典型值	最大值	最小值	最大值	最小值	最大值	
$f_{\max}$			4.5V	30	36		20		24		MHz
			5.5V	33	40		22		27		
t_{pd}	CLK	任意 Q	4.5V		40	53		80		66	ns
			5.5V		35	47		71		60	
t_{en}	$\overline{OE}$	任意 Q	4.5V		34	47		71		59	ns
			5.5V		29	39		94		78	
t_l		任意 Q	4.5V		18	42		63		53	ns
			5.5V		16	38		57		48	

4.8 工作特性

$T_A = 25^\circ\text{C}$

参数		测试条件	典型值	单位
C_{pd}	每个触发器的功率耗散电容	空载	93	pF

5 参数测量信息



- C_L 包括探头和测试夹具电容。
- 波形 1 用于具有内部条件的输出，使得输出为低电平，除非被输出控制禁用。波形 2 用于具有内部条件的输出，使得输出为高电平，除非被输出控制禁用。
- 任意选择波形之间的相位关系。所有输入脉冲均由具有以下特性的发生器提供： $PRR \leq 1\text{MHz}$ ， $Z_O = 50\Omega$ ， $t_r = 6\text{ns}$ ， $t_f = 6\text{ns}$ 。
- 对于时钟输入， f_{max} 是在输入占空比为 50% 时测量的。
- 一次测量一个输出，每次测量一个输入转换。
- t_{PLZ} 和 t_{PHZ} 与 t_{dis} 一样。
- t_{PZL} 和 t_{PZH} 与 t_{en} 一样。
- t_{PLH} 和 t_{PHL} 与 t_{pd} 一样。

图 5-1. 负载电路和电压波形

6 详细说明

6.1 概述

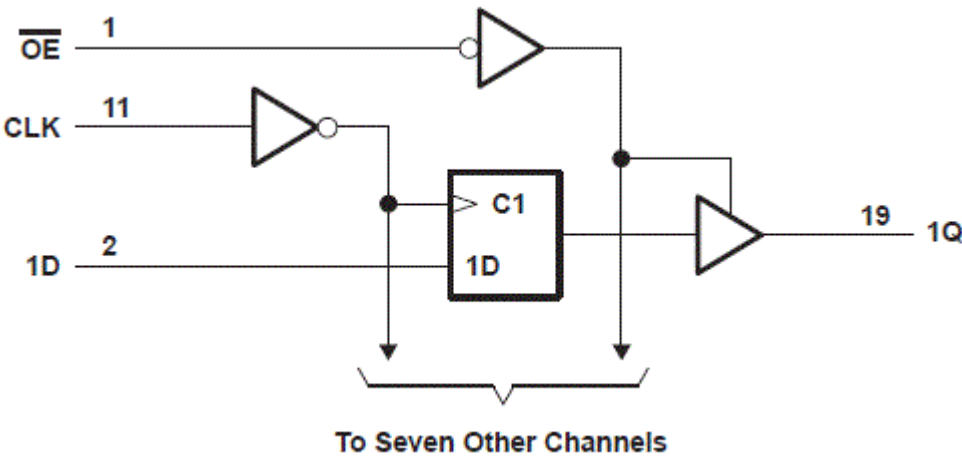
这些八路边沿触发 D 类触发器具有专为总线驱动设计的三态输出。’ HCT574 器件尤其适用于实现缓冲寄存器、I/O 端口、双向总线驱动器和工作寄存器。

八个触发器在时钟 (CLK) 输入的低电平到高电平转换时输入数据。

缓冲输出使能 ($\overline{OE}$) 输入可用于将八个输出置于正常逻辑状态 (高或低逻辑电平) 或高阻抗状态。在高阻抗状态下, 输出既不对总线施加大量负载, 也不显著驱动总线。高阻抗状态和增加的驱动在没有接口或上拉元件的情况下提供了驱动总线的能力。

$\overline{OE}$ 不影响触发器的内部运行。当输出处于高阻抗状态时, 可以保留旧数据或输入新数据。

6.2 功能方框图



6.3 器件功能模式

表 6-1. 功能表
(每个触发器)

输入			输出 Q
OE	CLK	D	
L	↑	H	H
L	↑	L	L
L	H 或 L	X	Q_0
H	X	X	Z

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。每个 V_{CC} 端子均应具有一个良好的旁路电容器，以防止功率干扰。建议为该器件使用 $0.1\ \mu\text{F}$ 电容器。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\ \mu\text{F}$ 和 $1\ \mu\text{F}$ 电容器通常并联使用。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

使用多输入和多通道逻辑器件时，输入不得悬空。在许多情况下，未使用数字逻辑器件的全部或部分功能；例如，仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个。此类未使用的输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的操作状态。数字逻辑器件的所有未使用输入必须连接到由输入电压规范定义的逻辑高电平电压或逻辑低电平电压，以防止其悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，输入连接到 GND 或 V_{CC} ，以对逻辑功能更有意义或更方便者为准。

8 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发解决方案的工具和软件。

8.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

8.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (July 2022) to Revision H (August 2024)	Page
• 向 器件信息 表、 引脚配置和功能 部分以及 热性能信息 表中添加了 DGS 封装.....	1
• 向 器件信息 表添加了封装尺寸.....	1
• 添加了 应用和实施 部分.....	9

Changes from Revision F (January 2022) to Revision G (July 2022)	Page
• 增加了结至环境热阻值。DW 以前是 58，现在是 109.1，DB 以前是 70，现在是 122.7，N 以前是 69，现在是 84.6，NS 以前是 60，现在是 113.4，PW 以前是 83，现在是 131.8.....	4

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74HCT574DBR	Active	Production	SSOP (DB) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT574
SN74HCT574DGSR	Active	Production	VSSOP (DGS) 20	5000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HT574
SN74HCT574DW	Obsolete	Production	SOIC (DW) 20	-	-	Call TI	Call TI	-40 to 85	HCT574
SN74HCT574DWR	Active	Production	SOIC (DW) 20	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT574
SN74HCT574N	Active	Production	PDIP (N) 20	20 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 85	SN74HCT574N
SN74HCT574NSR	Active	Production	SOP (NS) 20	2000 LARGE T&R	Yes	NIPDAU NIPDAU	Level-1-260C-UNLIM	-40 to 85	HCT574
SN74HCT574PW	Obsolete	Production	TSSOP (PW) 20	-	-	Call TI	Call TI	-40 to 85	HT574
SN74HCT574PWR	Active	Production	TSSOP (PW) 20	2000 LARGE T&R	Yes	NIPDAU NIPDAU	Level-1-260C-UNLIM	-40 to 85	HT574
SN74HCT574PWT	Obsolete	Production	TSSOP (PW) 20	-	-	Call TI	Call TI	-40 to 85	HT574

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and

continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

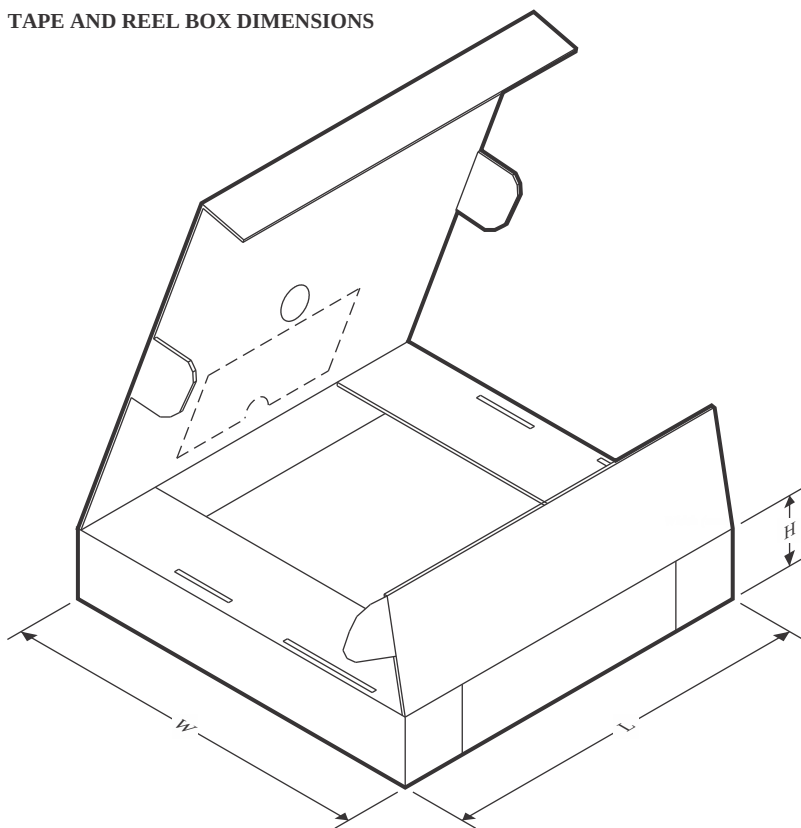
TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74HCT574DBR	SSOP	DB	20	2000	330.0	16.4	8.2	7.5	2.5	12.0	16.0	Q1
SN74HCT574DGSR	VSSOP	DGS	20	5000	330.0	16.4	5.4	5.4	1.45	8.0	16.0	Q1
SN74HCT574DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74HCT574DWR	SOIC	DW	20	2000	330.0	24.4	10.9	13.3	2.7	12.0	24.0	Q1
SN74HCT574NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74HCT574NSR	SOP	NS	20	2000	330.0	24.4	8.4	13.0	2.5	12.0	24.0	Q1
SN74HCT574PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.1	1.6	8.0	16.0	Q1
SN74HCT574PWR	TSSOP	PW	20	2000	330.0	16.4	6.95	7.0	1.4	8.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

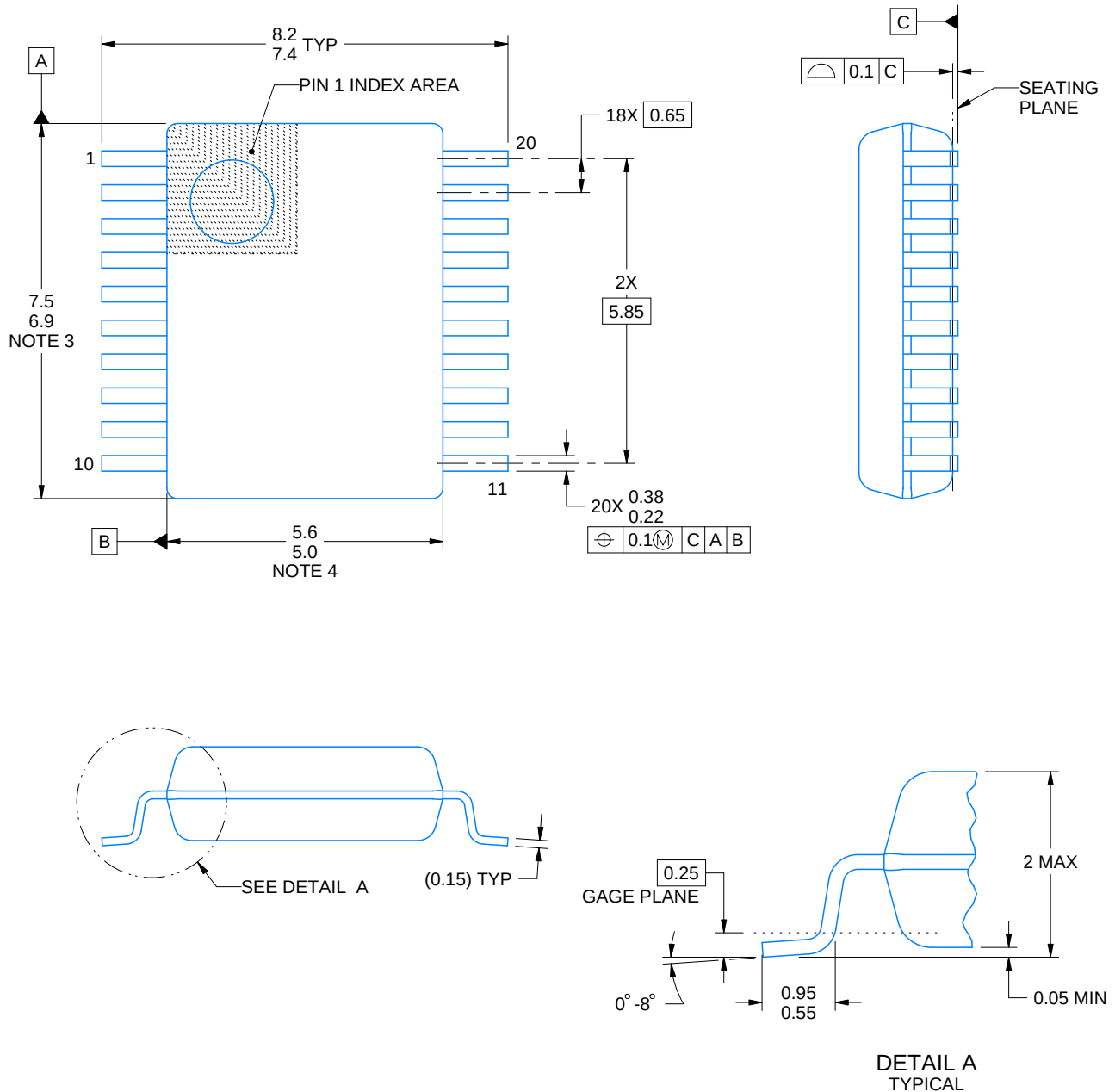
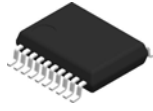
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74HCT574DBR	SSOP	DB	20	2000	356.0	356.0	35.0
SN74HCT574DGSR	VSSOP	DGS	20	5000	353.0	353.0	32.0
SN74HCT574DWR	SOIC	DW	20	2000	367.0	367.0	45.0
SN74HCT574DWR	SOIC	DW	20	2000	356.0	356.0	41.0
SN74HCT574NSR	SOP	NS	20	2000	367.0	367.0	45.0
SN74HCT574NSR	SOP	NS	20	2000	367.0	367.0	45.0
SN74HCT574PWR	TSSOP	PW	20	2000	356.0	356.0	35.0
SN74HCT574PWR	TSSOP	PW	20	2000	356.0	356.0	35.0

TUBE



*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74HCT574N	N	PDIP	20	20	506	13.97	11230	4.32
SN74HCT574NE4	N	PDIP	20	20	506	13.97	11230	4.32



4214851/B 08/2019

NOTES:

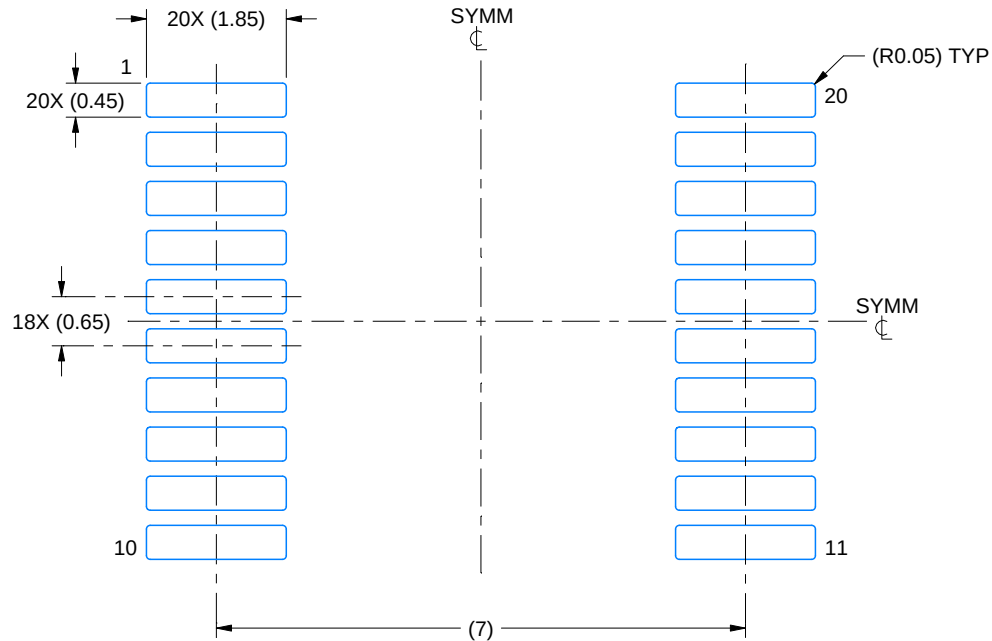
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

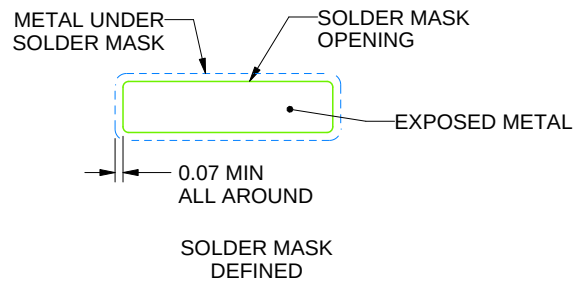
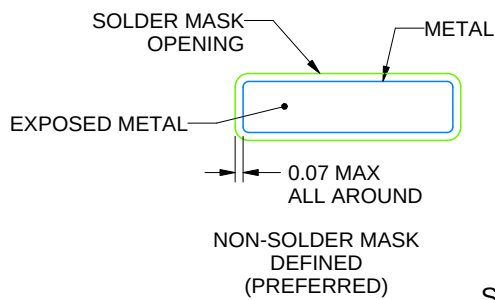
DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4214851/B 08/2019

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

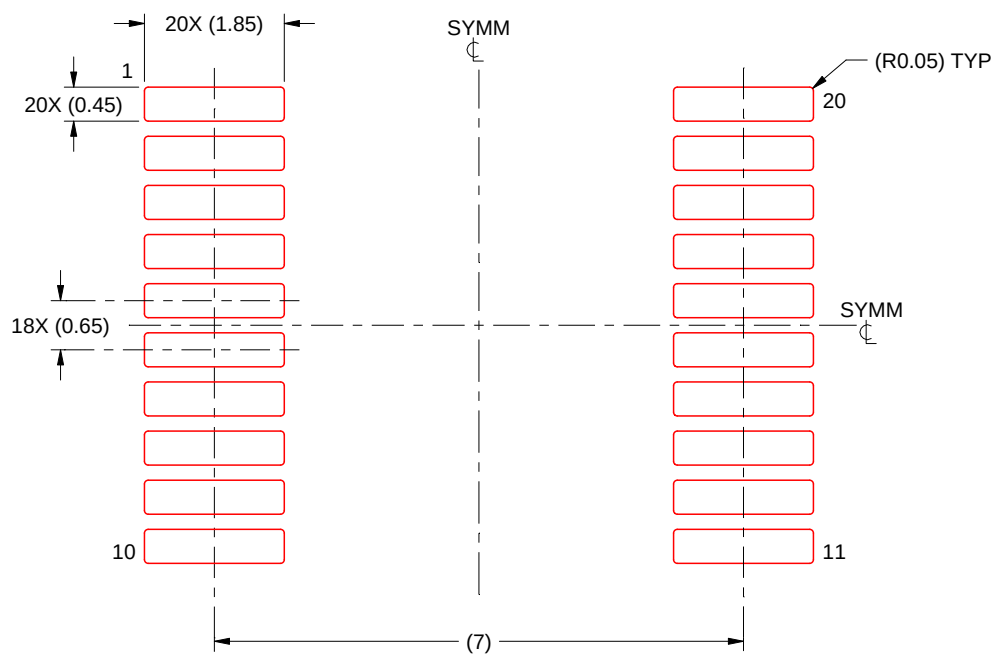
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0020A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4214851/B 08/2019

NOTES: (continued)

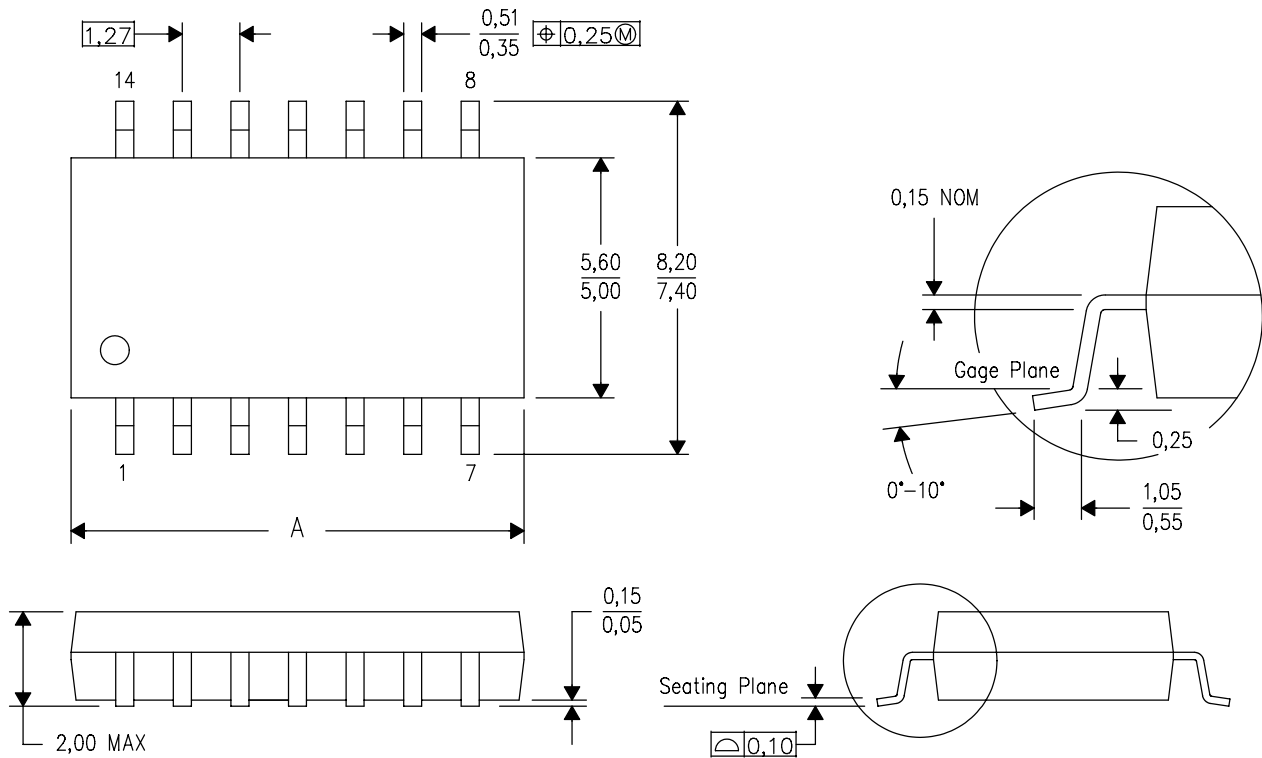
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

MECHANICAL DATA

NS (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN



DIM \ PINS **	14	16	20	24
A MAX	10,50	10,50	12,90	15,30
A MIN	9,90	9,90	12,30	14,70

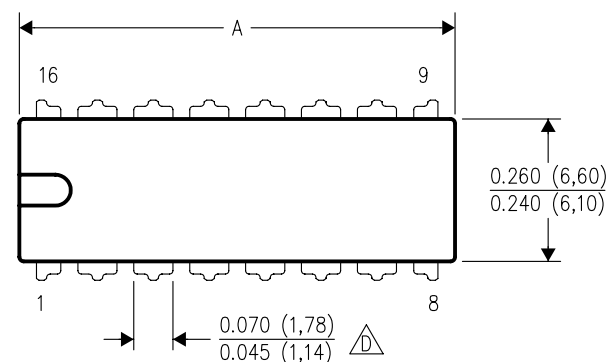
4040062/C 03/03

- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

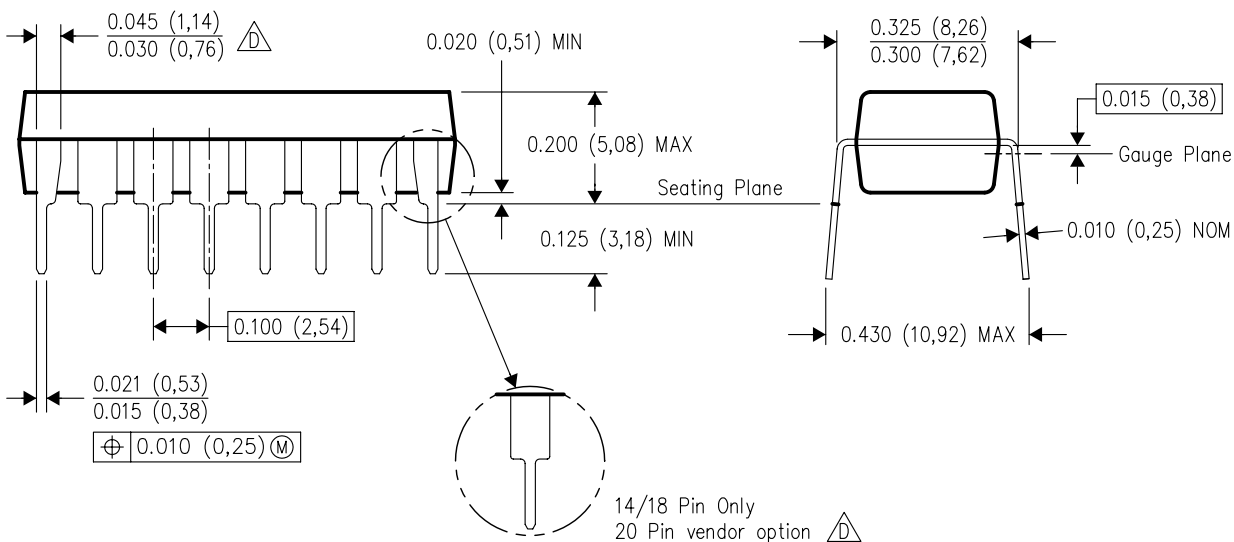
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



4040049/E 12/2002

NOTES:

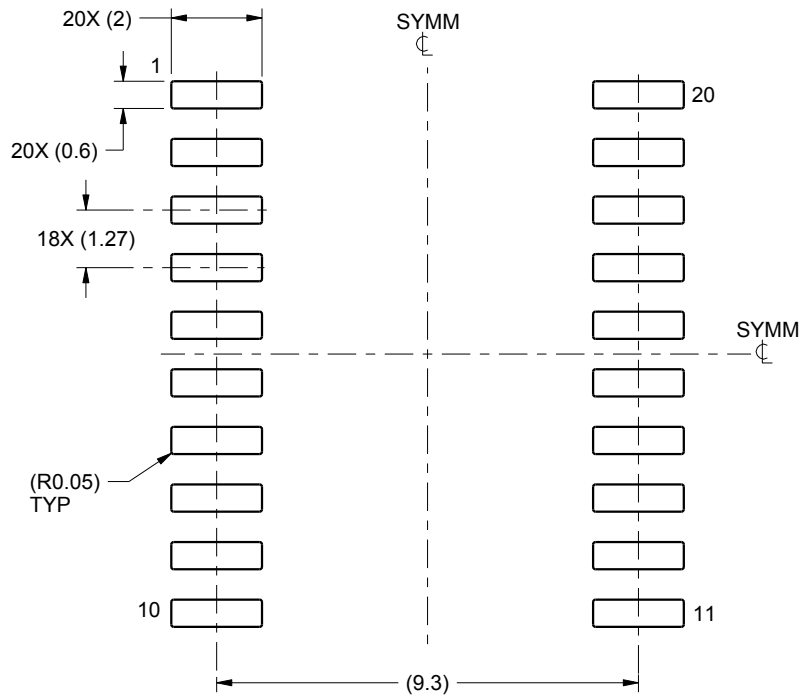
- A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
-  Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 The 20 pin end lead shoulder width is a vendor option, either half or full width.

EXAMPLE BOARD LAYOUT

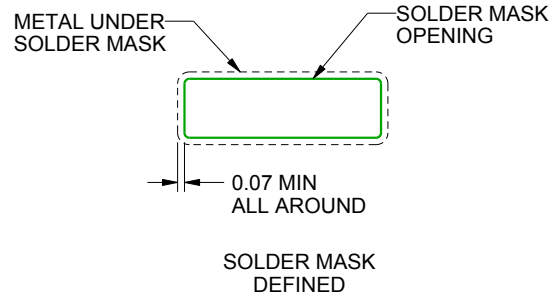
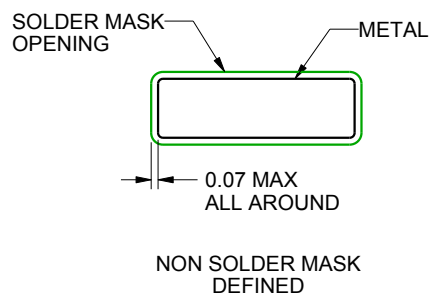
DW0020A

SOIC - 2.65 mm max height

SOIC



LAND PATTERN EXAMPLE
SCALE:6X



SOLDER MASK DETAILS

4220724/A 05/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

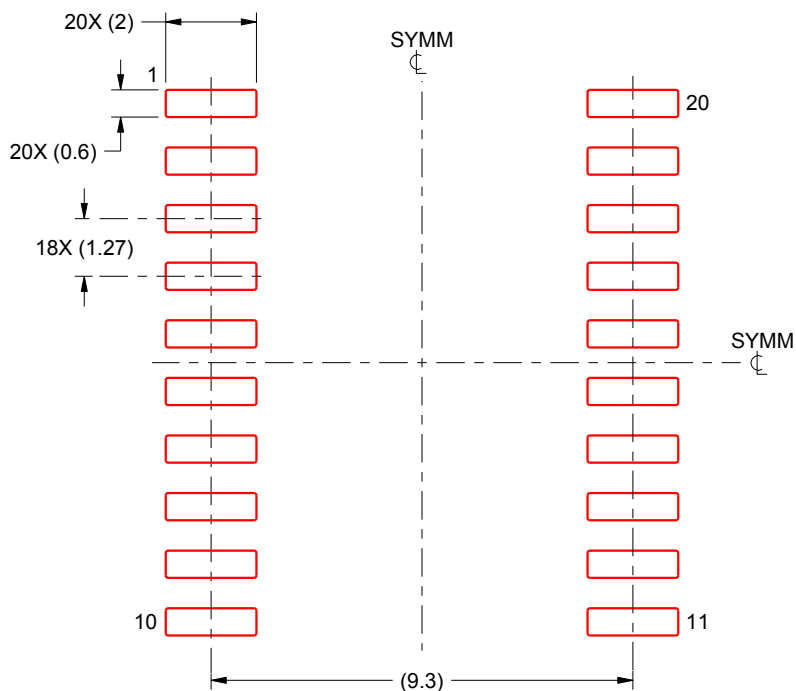
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DW0020A

SOIC - 2.65 mm max height

SOIC

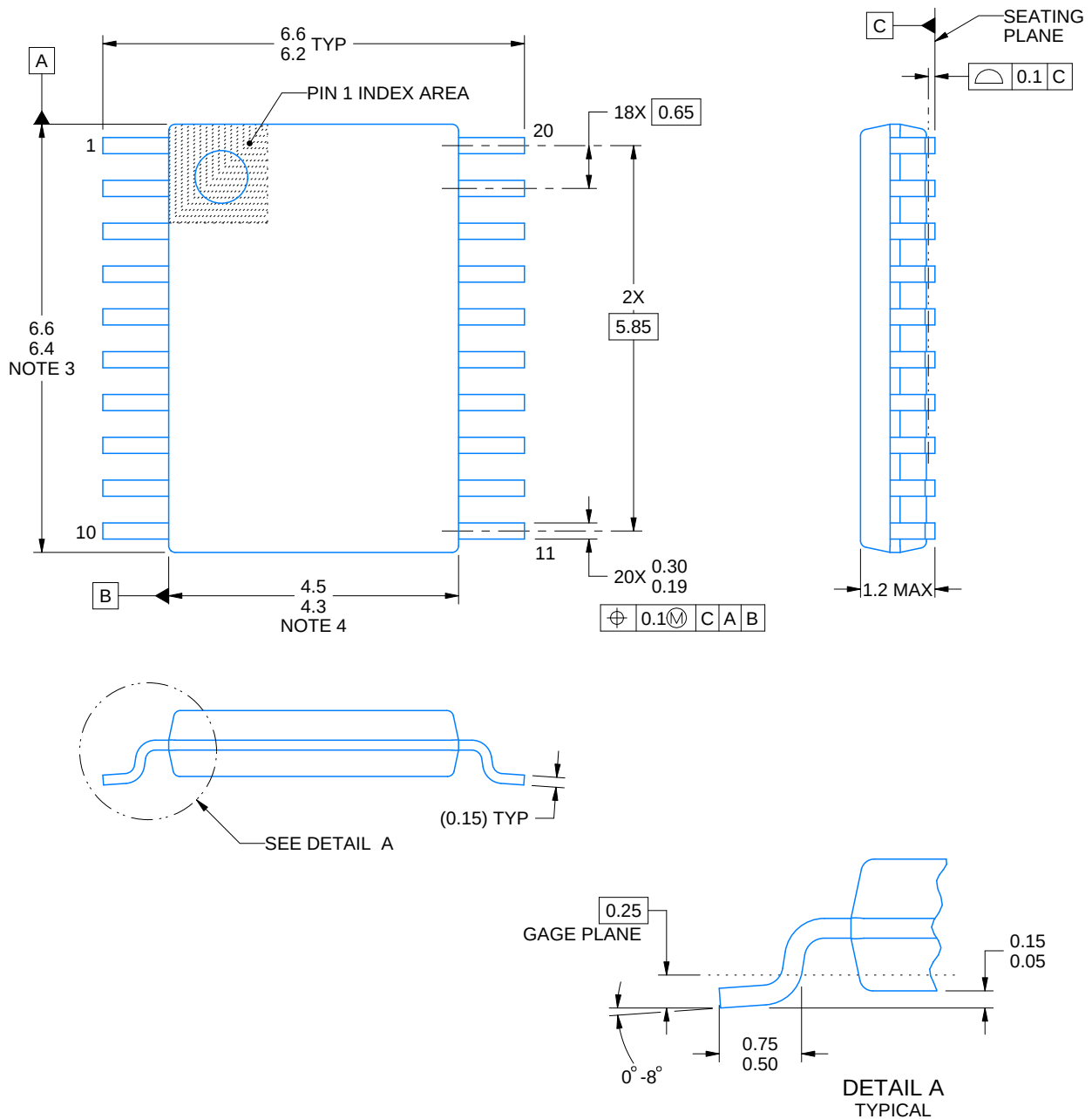
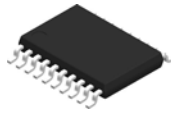


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:6X

4220724/A 05/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220206/A 02/2017

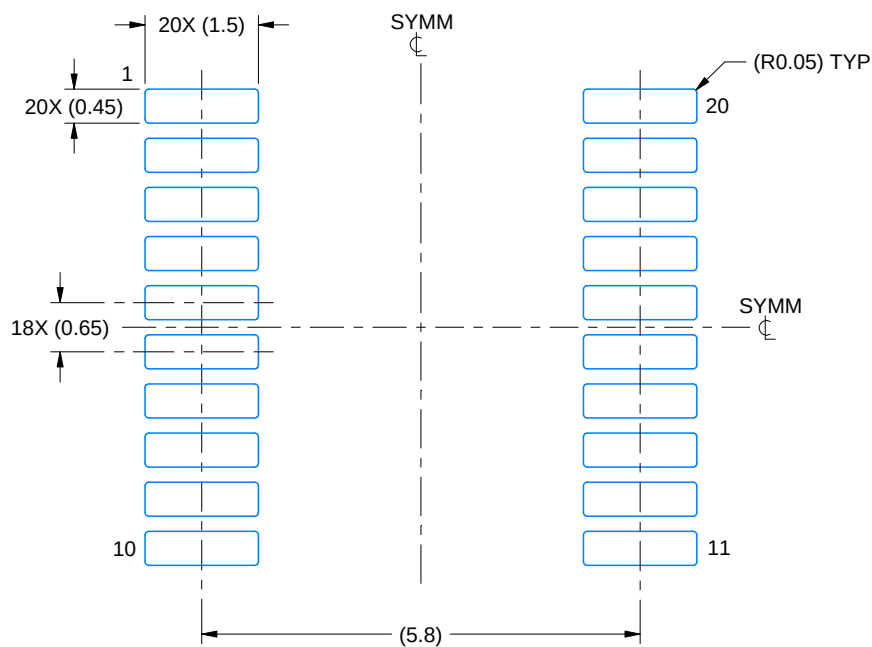
NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

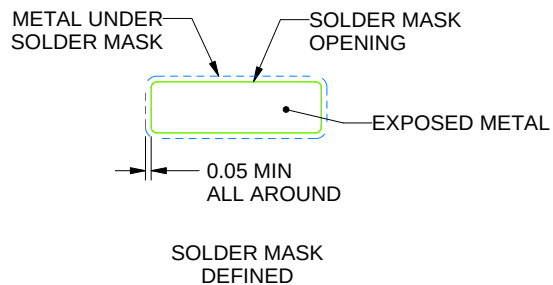
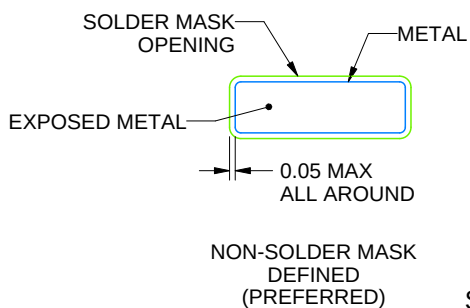
PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220206/A 02/2017

NOTES: (continued)

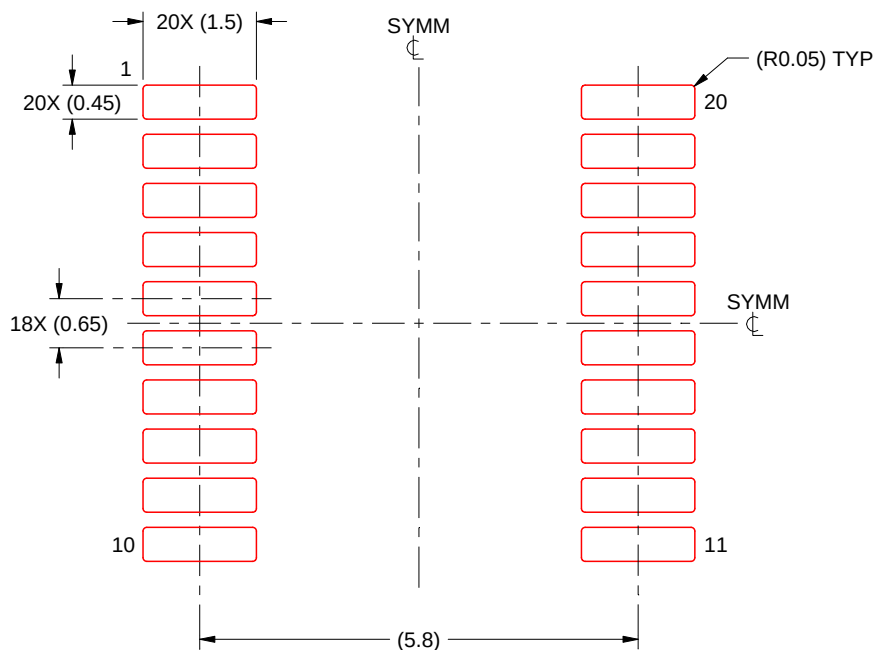
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0020A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220206/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

VSSOP - 1.1 mm max height

PIN 1 INDEX AREA

A

5.1
4.7 TYP

1

20

18X 0.5

5.2
5.0
NOTE 3

10

2X 4.5

11

3.1
2.9

B

20X 0.275
0.165

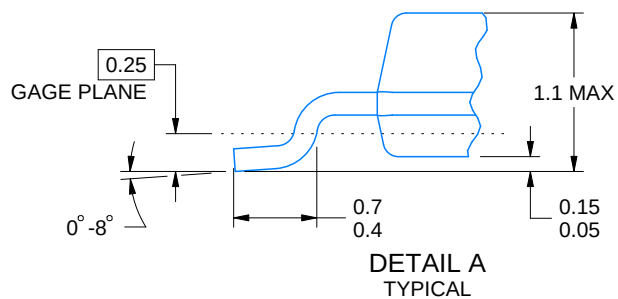
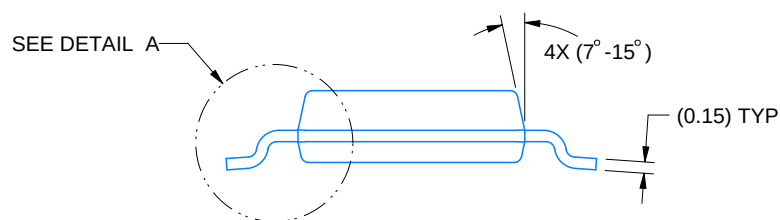
4X (0°-15°)

C

0.1 C

SEATING PLANE

⊕ 0.1 Ⓜ C A B



PowerPAD is a trademark of Texas Instruments.

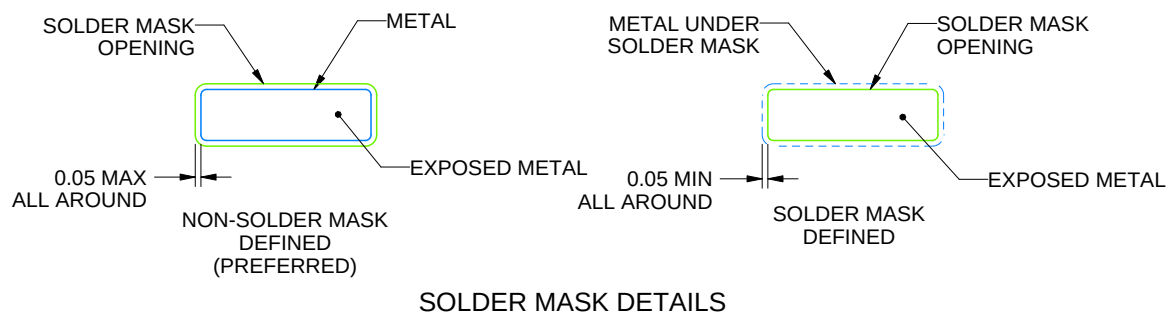
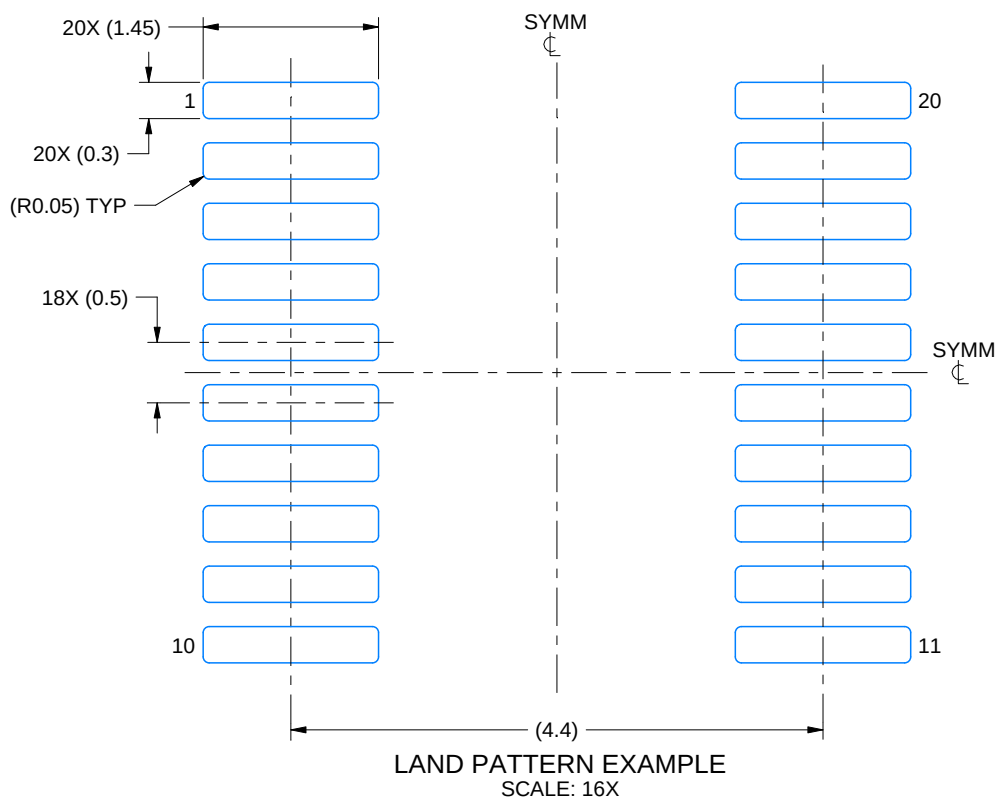
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. No JEDEC registration as of September 2020.
5. Features may differ or may not be present.

EXAMPLE BOARD LAYOUT

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



4226367/A 10/2020

NOTES: (continued)

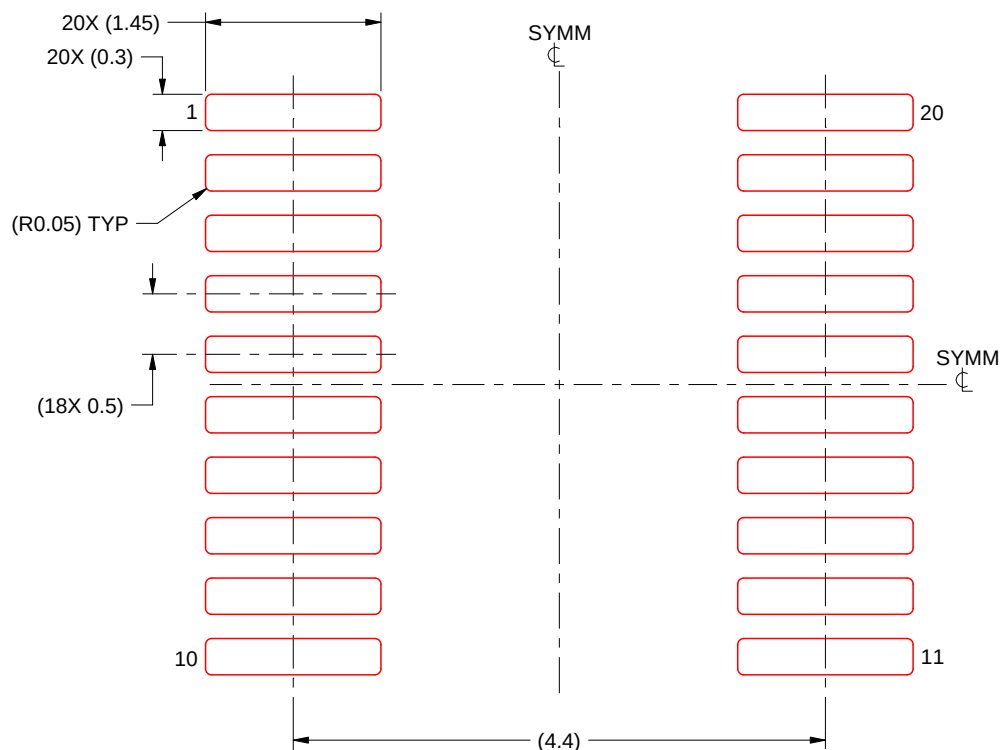
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.
10. Vias are optional depending on application, refer to device data sheet. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

DGS0020A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 16X

4226367/A 10/2020

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司