

SN74AVC2T45 具有可配置电平转换和电压转换的 2 位双电源总线收发器

1 特性

- 采用德州仪器 (TI) NanoFree™ 封装
- V_{CC} 隔离特性：如果任何一个 V_{CC} 输入接地 (GND)，那么两个端口都处于高阻抗状态
- 双电源轨设计
- I/O 可承受 4.6V 过压
- I_{off} 支持局部断电模式运行
- 最大数据速率
 - 500Mbps (1.8V 至 3.3V)
 - 320Mbps (<1.8V 至 3.3V)
 - 320Mbps (电平转换至 2.5V 或 1.8V)
 - 280Mbps (电平转换至 1.5V)
 - 240Mbps (电平转换至 1.2V)
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范的要求
- ESD 保护性能超过 JESD 22 规范要求

2 应用

- 智能手机
- 服务器
- 台式计算机和笔记本电脑
- 其他便携式设备

3 说明

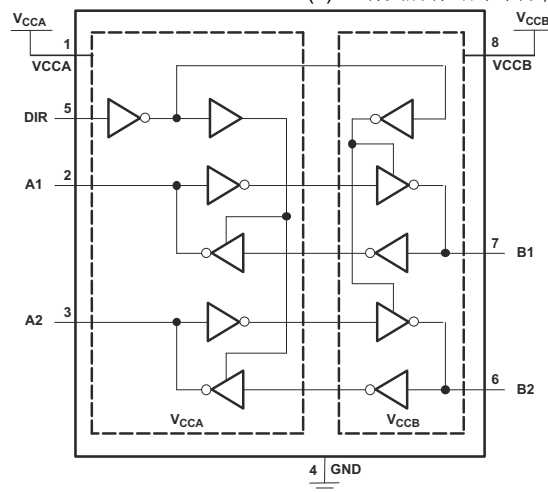
这款 2 位同相总线收发器使用两个独立的可配置电源轨。A 端口用于跟踪 V_{CCA} ，可支持 1.2V 至 3.6V 范围内的任何电源电压。B 端口用于跟踪 V_{CCB} ，可支持 1.2V 至 3.6V 范围内的任何电源电压。因此可在 1.2V、1.5V、1.8V、2.5V 和 3.3V 电压节点之间进行通用的低压双向转换和电平转换。

SN74AVC2T45 旨在实现两条数据总线间的异步通信。方向控制 (DIR 引脚) 输入的逻辑电平会激活 B 端口或 A 端口输出。当 B 端口输出被激活时，此器件将数据从 A 总线发送到 B 总线，而当 A 端口输出被激活时，此器件将数据从 B 总线发送到 A 总线。A 端口和 B 端口上的输入电路一直处于活动状态并且必须施加一个逻辑高或低电平，从而防止内部 CMOS 结构上产生过大的漏电流。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 (标称值)
SN74AVC2T45DCT	DCT (SSOP, 8)	2.95mm × 2.80mm
SN74AVC2T45DCU	DCU (VSSOP, 8)	2.30mm × 2.00mm
SN74AVC2T45YZP	YZP (DSBGA, 8)	1.89mm × 0.89mm
SN74AVC2T45DDF	DDF (SOT-23, 8)	2.90mm × 1.60mm

(1) 有关所有可用封装，请参阅 节 11。



A. 引脚编号仅适用于 DCT 和 DCU 封装。

逻辑图 (正逻辑)



内容

1 特性	1	7 详细说明	13
2 应用	1	7.1 概述.....	13
3 说明	1	7.2 功能方框图.....	13
4 引脚配置和功能	3	7.3 特性说明.....	14
引脚功能.....	3	7.4 器件功能模式.....	14
5 规格	4	8 应用和实施	15
5.1 绝对最大额定值.....	4	8.1 应用信息.....	15
5.2 ESD 等级.....	4	8.2 典型应用.....	15
5.3 建议运行条件.....	5	8.3 电源相关建议.....	17
5.4 热性能信息.....	6	8.4 布局.....	18
5.5 电气特性.....	6	9 器件和文档支持	19
5.6 开关特性：V _{CCA} = 1.2 V.....	7	9.1 文档支持.....	19
5.7 开关特性：V _{CCA} = 1.5V ±0.1V.....	7	9.2 接收文档更新通知.....	19
5.8 开关特性：V _{CCA} = 1.8V ±0.15V.....	8	9.3 支持资源.....	19
5.9 开关特性：V _{CCA} = 2.5V ±0.2V.....	8	9.4 商标.....	19
5.10 开关特性：V _{CCA} = 3.3V ±0.3V.....	9	9.5 静电放电警告.....	19
5.11 工作特性.....	9	9.6 术语表.....	19
5.12 典型特性.....	10	10 修订历史记录	19
6 参数测量信息	12	11 机械、封装和可订购信息	20

4 引脚配置和功能

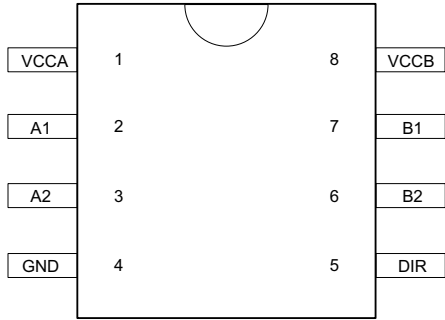


图 4-1. DCT 或 DCU 封装 8 引脚 SM8 或 VSSOP 顶视图

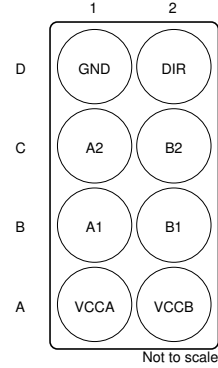


图 4-2. YZP 封装 8 引脚 DSBGA 底视图

引脚功能

名称	引脚		类型 ⁽¹⁾	说明
	编号 (SM8、VSSOP)	编号 (DSBGA)		
VCCA	1	A1	—	电源电压 A
VCCB	8	A2	—	电源电压 B
GND	4	D1	—	接地
A1	2	B1	I/O	输出或输入，具体取决于 DIR 的状态。输出电平取决于 V _{CCA} 。
A2	3	C1	I/O	输出或输入，具体取决于 DIR 的状态。输出电平取决于 V _{CCA} 。
B1	7	B2	I/O	输出或输入，具体取决于 DIR 的状态。输出电平取决于 V _{CCB} 。
B2	6	C2	I/O	输出或输入，具体取决于 DIR 的状态。输出电平取决于 V _{CCB} 。
DIR	5	D2	I	方向引脚，连接至 GND 或 VCCA

(1) I = 输入；O = 输出；I/O = 输入或输出

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

		最小值	最大值	单位	
V_{CCA} V_{CCB}	电源电压	-0.5	4.6	V	
V_I	输入电压 ⁽²⁾	IO 端口 (A 端口)	-0.5	4.6	V
		IO 端口 (B 端口)	-0.5	4.6	
		控制输入	-0.5	4.6	
V_O	施加到任一处于高阻抗或断电状态输出的电压 ⁽²⁾	A 端口	-0.5	4.6	V
		B 端口	-0.5	4.6	
V_O	施加到任一处于高电平或低电平状态输出的电压 ^{(2) (3)}	A 端口	-0.5	$V_{CCA} + 0.5$	V
		B 端口	-0.5	$V_{CCB} + 0.5$	
I_{IK}	输入钳位电流	$V_I < 0$	-50	mA	
I_{OK}	输出钳位电流	$V_O < 0$	-50	mA	
I_O	持续输出电流		±50	mA	
	通过 V_{CCA} 、 V_{CCB} 或 GND 的连续电流		±100	mA	
T_J	结温		150	°C	
T_{stg}	贮存温度	-65	150	°C	

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件能够在该等条件下或在任何超出建议运行条件的其他条件下正常运行。如果在建议运行条件以外，但在绝对最大额定值范围以内使用，器件可能无法完全正常运行，这可能会影响器件的可靠性、功能与性能，并且可能缩短器件寿命。

(2) 如果遵守输入和输出电流额定值，会超过输入负电压和输出电压额定值。

(3) 如果遵守输出电流额定值，则输出正电压额定值会超过最大 4.6V。

5.2 ESD 等级

		值	单位	
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	±8000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101 ⁽²⁾	±1000	
		机器模型 (MM)，符合 JEDEC 规范 JESD22-A115-A	±200	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

请参阅(3) (4) (5)

		$V_{CCI}^{(1)}$	$V_{CCO}^{(2)}$	最小值	最大值	单位
V_{CCA}	电源电压			1.2	3.6	V
V_{CCB}	电源电压			1.2	3.6	V
V_{IH}	高电平 输入电压	数据输入(4)	1.2V 至 1.95V	$V_{CCI}^{(1)} \times 0.65$		V
			1.95V 至 2.7V	1.6		
			2.7V 至 3.6V	2		
V_{IL}	低电平 输入电压	数据输入(4)	1.2V 至 1.95V	$V_{CCI}^{(1)} \times 0.35$		V
			1.95V 至 2.7V	0.7		
			2.7V 至 3.6V	0.8		
V_{IH}	高电平 输入电压	DIR (以 V_{CCA} 为基准)(5)	1.2V 至 1.95V	$V_{CCA} \times 0.65$		V
			1.95V 至 2.7V	1.6		
			2.7V 至 3.6V	2		
V_{IL}	低电平 输入电压	DIR (以 V_{CCA} 为基准)(5)	1.2V 至 1.95V	$V_{CCA} \times 0.35$		V
			1.95V 至 2.7V	0.7		
			2.7V 至 3.6V	0.8		
V_I	输入电压			0	3.6	V
V_O	输出电压	有效状态		0	$V_{CCO}^{(2)}$	V
		三态		0	3.6	
I_{OH}	高电平输出电流		1.2V	-3		mA
			1.4V 至 1.6V	-6		
			1.65V 至 1.95V	-8		
			2.3V 至 2.7V	-9		
			3V 至 3.6V	-12		
I_{OL}	低电平输出电流		1.2V	3		mA
			1.4V 至 1.6V	6		
			1.65V 至 1.95V	8		
			2.3V 至 2.7V	9		
			3V 至 3.6V	12		
$\Delta t / \Delta v$	输入转换上升或下降速率				5	ns/V
T_A	自然通风条件下的工作温度范围			-40	85	°C

(1) V_{CCI} 是与输入端口电源 V_{CCA} 或 V_{CCB} 相关的电压。

(2) V_{CCO} 是与输出端口电源 V_{CCA} 或 V_{CCB} 相关的电压。

(3) 器件所有的未使用数据输入必须保持在 V_{CCI} 或 GND ，以实现正常的器件运行。请参阅 [CMOS 输入缓慢或悬空的影响](#)。

(4) 对于数据表中未指定的 V_{CCI} 值， $V_{IH} \min = V_{CCI} \times 0.7V$ ， $V_{IL} \max = V_{CCI} \times 0.3V$ 。

(5) 对于数据表中未指定的 V_{CCI} 值， $V_{IH} \min = V_{CCA} \times 0.7V$ ， $V_{IL} \max = V_{CCA} \times 0.3V$ 。

5.4 热性能信息

热指标 (1)	SN74AVC2T45				单位
	DCT (SM8)	DCU (VSSOP)	DDF (SOT-23)	YZP (DSBGA)	
	8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$ 结至环境热阻	183.1	246.9	203.2	105.8	°C/W
$R_{\theta JC(top)}$ 结至外壳 (顶部) 热阻	101.5	95.2	121.5	1.6	°C/W
$R_{\theta JB}$ 结至电路板热阻	111.0	158.4	99.8	10.8	°C/W
ψ_{JT} 结至顶部特征参数	27.6	34.1	21.4	3.1	°C/W
ψ_{JB} 结至电路板特征参数	109.2	157.5	99.5	10.8	°C/W

(1) 有关新旧热指标的更多信息，请参阅 [半导体和 IC 封装热指标](#) 应用手册。

5.5 电气特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明) (1) (2)

参数	测试条件	V_{CCA}	V_{CCB}	$T_A = 25^\circ\text{C}$			-40°C 至 $+85^\circ\text{C}$		单位	
				最小值	典型值	最大值	最小值	最大值		
$V_{OH}^{(3)}$	$I_{OH} = -100\mu\text{A}$ $I_{OH} = -3\text{mA}$ $I_{OH} = -6\text{mA}$ $I_{OH} = -8\text{mA}$ $I_{OH} = -9\text{mA}$ $I_{OH} = -12\text{mA}$	$V_I = V_{IH}$	1.2V 至 3.6V	1.2V 至 3.6V			$V_{CCO} - 0.2\text{V}$		V	
			1.2V	1.2V	0.95					
			1.4V	1.4V	1.05					
			1.65V	1.65V	1.2					
			2.3V	2.3V	1.75					
			3V	3V	2.3					
$V_{OL}^{(3)}$	$I_{OL} = 100\mu\text{A}$ $I_{OL} = 3\text{mA}$ $I_{OL} = 6\text{mA}$ $I_{OL} = 8\text{mA}$ $I_{OL} = 9\text{mA}$ $I_{OL} = 12\text{mA}$	$V_I = V_{IL}$	1.2V 至 3.6V	1.2V 至 3.6V			0.2		V	
			1.2V	1.2V	0.25					
			1.4V	1.4V	0.35					
			1.65V	1.65V	0.45					
			2.3V	2.3V	0.55					
			3V	3V	0.7					
I_I DIR	$V_I = V_{CCA}$ 或 GND	1.2V 至 3.6V	1.2V 至 3.6V	± 0.025	± 0.25			± 1	μA	
I_{off}	A 端口	V_I 或 $V_O = 0\text{V}$ 至 3.6V	0V	0V 至 3.6V	± 0.1	± 1			± 5	μA
	B 端口		0V 至 3.6V	0V	± 0.1	± 1			± 5	
$I_{OZ}^{(3)}$	B 端口	$V_O = V_{CCO}$ 或 GND , $V_I = V_{CCI}$ 或 GND	0V	3.6V	± 0.5	± 2.5			± 5	μA
	A 端口		3.6V	0V	± 0.5	± 2.5			± 5	
$I_{CCA}^{(3)}$	$V_I = V_{CCI}$ 或 GND , $I_O = 0$	1.2V 至 3.6V	1.2V 至 3.6V					10	μA	
		0V	3.6V					-2		
		3.6V	0V					10		
$I_{CCB}^{(3)}$	$V_I = V_{CCB}$ 或 GND , $I_O = 0$	1.2V 至 3.6V	1.2V 至 3.6V					10	μA	
		0V	3.6V					10		
		3.6V	0V					-2		
$I_{CCA} + I_{CCB}$ (请参阅表 5-1)	$V_I = V_{CCI}$ 或 GND , $I_O = 0$	1.2V 至 3.6V	1.2V 至 3.6V					20	μA	
C_i 控制输入	$V_I = 3.3\text{V}$ 或 GND	3.3V	3.3V	2.5					pF	
C_{io} A 或 B 端口	$V_O = 3.3\text{V}$ 或 GND	3.3V	3.3V	6					pF	

(1) V_{CCO} 是与输出端口电源 V_{CCA} 或 V_{CCB} 相关的电压。

(2) V_{CCI} 是与输入端口电源 V_{CCA} 或 V_{CCB} 相关的电压。

(3) V_{OH} : 输出高电压 ; V_{OL} : 输出低电压 ; I_{OZ} : Hi-Z 输出电流 ; I_{CCA} : 电源 A 电流 ; I_{CCB} : 电源 B 电流

5.6 开关特性：V_{CCA} = 1.2 V

在建议的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.2V (请参阅图 6-1)

参数	从 (输入)	至 (输出)	V _{CCB} = 1.2V	V _{CCB} = 1.5V	V _{CCB} = 1.8V	V _{CCB} = 2.5V	V _{CCB} = 3.3V	单位
			典型值	典型值	典型值	典型值	典型值	
t _{PLH} ⁽²⁾	A	B	3.1	2.6	2.4	2.2	2.2	ns
t _{PHL} ⁽²⁾			3.1	2.6	2.4	2.2	2.2	
t _{PLH} ⁽²⁾	B	A	3.4	3.1	3	2.9	2.9	ns
t _{PHL} ⁽²⁾			3.4	3.1	3	2.9	2.9	
t _{PHZ} ⁽²⁾	DIR	A	5.2	5.2	5.1	5	4.8	ns
t _{PLZ} ⁽²⁾			5.2	5.2	5.1	5	4.8	
t _{PHZ} ⁽²⁾	DIR	B	5	4	3.8	2.8	3.2	ns
t _{PLZ} ⁽²⁾			5	4	3.8	2.8	3.2	
t _{PZH} ^{(2) (1)}	DIR	A	8.4	7.1	6.8	5.7	6.1	ns
t _{PZL} ^{(2) (1)}			8.4	7.1	6.8	5.7	6.1	
t _{PZH} ^{(2) (1)}	DIR	B	8.3	7.8	7.5	7.2	7	ns
t _{PZL} ^{(2) (1)}			8.3	7.8	7.5	7.2	7	

(1) 启用时间是计算得出的值，使用 节 8.2.2.2.1 中显示的公式推导得出。

(2) t_{PLH}：低电平到高电平传播延迟；t_{PHL}：高电平到低电平传播延迟；t_{PHZ}：高电平到 Hi-Z 传播延迟；t_{PLZ}：低电平到 Hi-Z 传播延迟；t_{PZH}：Hi-Z 到高电平传播延迟；t_{PZL}：Hi-Z 到低电平传播延迟

5.7 开关特性：V_{CCA} = 1.5V ± 0.1V

在建议的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.5V ± 0.1 V (请参阅图 6-1)

参数	从 (输入)	至 (输出)	V _{CCB} = 1.2V	V _{CCB} = 1.5V ± 0.1V		V _{CCB} = 1.8V ± 0.15V		V _{CCB} = 2.5V ± 0.2V		V _{CCB} = 3.3V ± 0.3V		单位
			典型值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _{PLH} ⁽²⁾	A	B	2.8	0.7	5.4	0.5	4.6	0.4	3.7	0.3	3.5	ns
t _{PHL} ⁽²⁾			2.8	0.7	5.4	0.5	4.6	0.4	3.7	0.3	3.5	
t _{PLH} ⁽²⁾	B	A	2.7	0.8	5.4	0.7	5.2	0.6	4.9	0.5	4.7	ns
t _{PHL} ⁽²⁾			2.7	0.8	5.4	0.7	5.2	0.6	4.9	0.5	4.7	
t _{PHZ} ⁽²⁾	DIR	A	3.9	1.3	8.5	1.3	7.8	1.1	7.7	1.4	7.6	ns
t _{PLZ} ⁽²⁾			3.9	1.3	8.5	1.3	7.8	1.1	7.7	1.4	7.6	
t _{PHZ} ⁽²⁾	DIR	B	4.7	1.1	7	1.4	6.9	1.2	6.9	1.7	7.1	ns
t _{PLZ} ⁽²⁾			4.7	1.1	7	1.4	6.9	1.2	6.9	1.7	7.1	
t _{PZH} ^{(2) (1)}	DIR	A	7.4		12.4		12.1		11.8		11.8	ns
t _{PZL} ^{(2) (1)}			7.4		12.4		12.1		11.8		11.8	
t _{PZH} ^{(2) (1)}	DIR	B	6.7		13.9		12.4		11.4		11.1	ns
t _{PZL} ^{(2) (1)}			6.7		13.9		12.4		11.4		11.1	

(1) 启用时间是计算得出的值，使用 节 8.2.2.2.1 中显示的公式推导得出。

(2) t_{PLH}：低电平到高电平传播延迟；t_{PHL}：高电平到低电平传播延迟；t_{PHZ}：高电平到 Hi-Z 传播延迟；t_{PLZ}：低电平到 Hi-Z 传播延迟；t_{PZH}：Hi-Z 到高电平传播延迟；t_{PZL}：Hi-Z 到低电平传播延迟

5.8 开关特性：V_{CCA} = 1.8V ± 0.15V

在建议的自然通风条件下的工作温度范围内测得，V_{CCA} = 1.8V ± 0.15 V (请参阅图 6-1)

参数	从 (输入)	至 (输出)	V _{CCB} = 1.2V	V _{CCB} = 1.5V ± 0.1V		V _{CCB} = 1.8V ± 0.15V		V _{CCB} = 2.5V ± 0.2V		V _{CCB} = 3.3V ± 0.3V		单位
			典型值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _{PLH} ⁽²⁾	A	B	2.7	0.5	5.2	0.4	4.3	0.2	3.4	0.2	3.1	ns
t _{PHL} ⁽²⁾			2.7	0.5	5.2	0.4	4.3	0.2	3.4	0.2	3.1	
t _{PLH} ⁽²⁾	B	A	2.4	0.7	4.7	0.5	4.4	0.5	4	0.4	3.8	ns
t _{PHL} ⁽²⁾			2.4	0.7	4.7	0.5	4.4	0.5	4	0.4	3.8	
t _{PHZ} ⁽²⁾	DIR	A	3.7	1.3	8.1	0.7	6.9	1.4	5.3	1.1	5.2	ns
t _{PLZ} ⁽²⁾			3.7	1.3	8.1	0.7	6.9	1.4	5.3	1.1	5.2	
t _{PHZ} ⁽²⁾	DIR	B	4.4	1.3	5.8	1.3	5.9	0.8	5.7	1.5	5.9	ns
t _{PLZ} ⁽²⁾			4.4	1.3	5.8	1.3	5.9	0.8	5.7	1.5	5.9	
t _{PZH} ^{(2) (1)}	DIR	A	6.8		10.5		10.3		9.7		9.7	ns
t _{PZL} ^{(2) (1)}			6.8		10.5		10.3		9.7		9.7	
t _{PZH} ^{(2) (1)}	DIR	B	6.4		13.3		11.2		8.7		8.3	ns
t _{PZL} ^{(2) (1)}			6.4		13.3		11.2		8.7		8.3	

(1) 启用时间是计算得出的值，使用 节 8.2.2.2.1 中显示的公式推导得出。

(2) t_{PLH}：低电平到高电平传播延迟；t_{PHL}：高电平到低电平传播延迟；t_{PHZ}：高电平到 Hi-Z 传播延迟；t_{PLZ}：低电平到 Hi-Z 传播延迟；t_{PZH}：Hi-Z 到高电平传播延迟；t_{PZL}：Hi-Z 到低电平传播延迟

5.9 开关特性：V_{CCA} = 2.5V ± 0.2V

在建议的自然通风条件下的工作温度范围内测得，V_{CCA} = 2.5V ± 0.2V (请参阅图 6-1)

参数	从 (输入)	至 (输出)	V _{CCB} = 1.2V	V _{CCB} = 1.5V ± 0.1V		V _{CCB} = 1.8V ± 0.15V		V _{CCB} = 2.5V ± 0.2V		V _{CCB} = 3.3V ± 0.3V		单位
			典型值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _{PLH} ⁽²⁾	A	B	2.6	0.4	4.9	0.2	4	0.2	3	0.2	2.6	ns
t _{PHL} ⁽²⁾			2.6	0.4	4.9	0.2	4	0.2	3	0.2	2.6	
t _{PLH} ⁽²⁾	B	A	2.1	0.6	3.8	0.5	3.4	0.4	3	0.3	2.8	ns
t _{PHL} ⁽²⁾			2.1	0.6	3.8	0.5	3.4	0.4	3	0.3	2.8	
t _{PHZ} ⁽²⁾	DIR	A	2.4	0.7	7.9	0.8	6.4	0.8	5	0.5	4.3	ns
t _{PLZ} ⁽²⁾			2.4	0.7	7.9	0.8	6.4	0.8	5	0.5	4.3	
t _{PHZ} ⁽²⁾	DIR	B	3.8	1	4.3	0.6	4.3	0.5	4.2	1.1	4.1	ns
t _{PLZ} ⁽²⁾			3.8	1	4.3	0.6	4.3	0.5	4.2	1.1	4.1	
t _{PZH} ^{(2) (1)}	DIR	A	5.9		8.5		7.7		7.2		6.9	ns
t _{PZL} ^{(2) (1)}			5.9		8.5		7.7		7.2		6.9	
t _{PZH} ^{(2) (1)}	DIR	B	5		12.8		10.4		8		6.9	ns
t _{PZL} ^{(2) (1)}			5		12.8		10.4		8		6.9	

(1) 启用时间是计算得出的值，使用 节 8.2.2.2.1 中显示的公式推导得出。

(2) t_{PLH}：低电平到高电平传播延迟；t_{PHL}：高电平到低电平传播延迟；t_{PHZ}：高电平到 Hi-Z 传播延迟；t_{PLZ}：低电平到 Hi-Z 传播延迟；t_{PZH}：Hi-Z 到高电平传播延迟；t_{PZL}：Hi-Z 到低电平传播延迟

5.10 开关特性：V_{CCA} = 3.3V ± 0.3V

在建议的自然通风条件下的工作温度范围内测得，V_{CCA} = 3.3V ± 0.3V (请参阅图 6-1)

参数	从 (输入)	至 (输出)	V _{CCB} = 1.2V	V _{CCB} = 1.5V ± 0.1V		V _{CCB} = 1.8V ± 0.15V		V _{CCB} = 2.5V ± 0.2V		V _{CCB} = 3.3V ± 0.3V		单位
			典型值	最小值	最大值	最小值	最大值	最小值	最大值	最小值	最大值	
t _{PLH} ⁽²⁾	A	B	2.5	0.3	4.7	0.2	3.8	0.2	2.8	0.2	2.4	ns
t _{PHL} ⁽²⁾			2.5	0.3	4.7	0.2	3.8	0.2	2.8	0.2	2.4	
t _{PLH} ⁽²⁾	B	A	2.1	0.6	3.6	0.4	3.1	0.3	2.6	0.3	2.4	ns
t _{PHL} ⁽²⁾			2.1	0.6	3.6	0.4	3.1	0.3	2.6	0.3	2.4	
t _{PHZ} ⁽²⁾	DIR	A	2.9	1.1	8	1	6.5	1.3	4.7	1.2	4	ns
t _{PLZ} ⁽²⁾			2.9	1.1	8	1	6.5	1.3	4.7	1.2	4	
t _{PHZ} ⁽²⁾	DIR	B	3.4	0.5	6.6	0.3	5.6	0.3	4.6	1.1	4.2	ns
t _{PLZ} ⁽²⁾			3.4	0.5	6.6	0.3	5.6	0.3	4.6	1.1	4.2	
t _{PZH} ⁽²⁾⁽¹⁾	DIR	A	5.5		10.2		8.7		7.2		6.6	ns
t _{PZL} ⁽²⁾⁽¹⁾			5.5		10.2		8.7		7.2		6.6	
t _{PZH} ⁽²⁾⁽¹⁾	DIR	B	5.4		12.7		10.3		7.5		6.4	ns
t _{PZL} ⁽²⁾⁽¹⁾			5.4		12.7		10.3		7.5		6.4	

(1) 启用时间是计算得出的值，使用中显示的公式推导得出。

(2) t_{PLH}：低电平到高电平传播延迟；t_{PHL}：高电平到低电平传播延迟；t_{PHZ}：高电平到 Hi-Z 传播延迟；t_{PLZ}：低电平到 Hi-Z 传播延迟；t_{PZH}：Hi-Z 到高电平传播延迟；t_{PZL}：Hi-Z 到低电平传播延迟

5.11 工作特性

T_A = 25°C

参数	测试条件	V _{CCA} = V _{CCB} = 1.2V	V _{CCA} = V _{CCB} = 1.5V	V _{CCA} = V _{CCB} = 1.8V	V _{CCA} = V _{CCB} = 2.5V	V _{CCA} = V _{CCB} = 3.3V	单位
		典型值	典型值	典型值	典型值	典型值	
C _{pdA} ⁽¹⁾	A 端口输入， B 端口输出	3	3	3	3	4	pF
	B 端口输入， A 端口输出	12	13	13	14	15	
C _{pdB} ⁽¹⁾	A 端口输入， B 端口输出	12	13	13	14	15	pF
	B 端口输入， A 端口输出	3	3	3	3	4	

(1) 每个收发器的功率耗散电容

(2) t_r：上升时间；t_f：下降时间

5.12 典型特性

表 5-1. 典型总静态功耗 ($I_{CCA} + I_{CCB}$)

V_{CCB}	V_{CCA}						单位
	0V	1.2V	1.5V	1.8V	2.5V	3.3V	
0V	0	<0.5	<0.5	<0.5	<0.5	<0.5	μA
1.2V	<0.5	<1	<1	<1	<1	1	
1.5V	<0.5	<1	<1	<1	<1	1	
1.8V	<0.5	<1	<1	<1	<1	<1	
2.5V	<0.5	1	<1	<1	<1	<1	
3.3V	<0.5	1	<1	<1	<1	<1	

5.12.1 典型传播延迟 (A 到 B) 与负载电容间的关系, $T_A = 25^\circ\text{C}$ 、 $V_{CCA} = 1.2\text{V}$

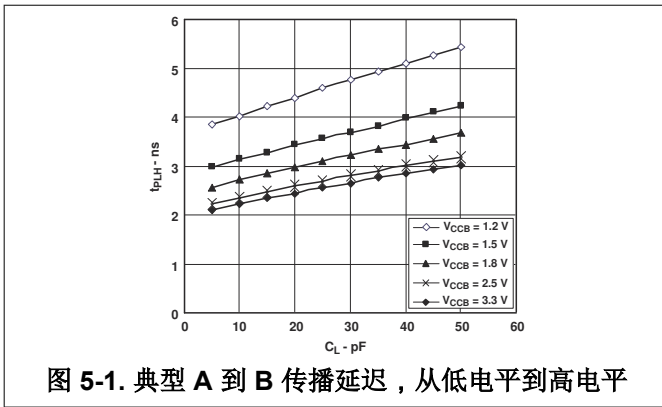


图 5-1. 典型 A 到 B 传播延迟, 从低电平到高电平

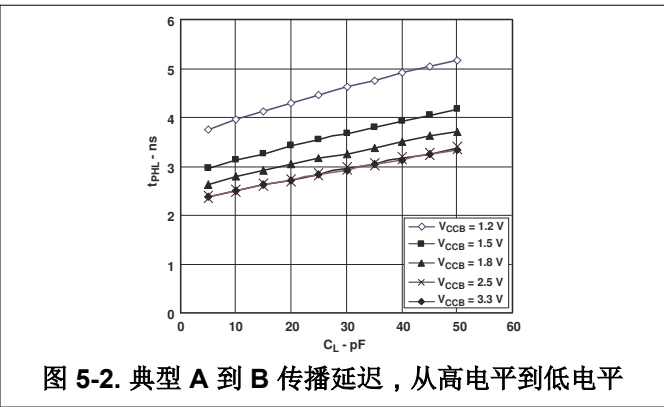


图 5-2. 典型 A 到 B 传播延迟, 从高电平到低电平

5.12.2 典型传播延迟 (A 到 B) 与负载电容间的关系, $T_A = 25^\circ\text{C}$ 、 $V_{CCA} = 1.5\text{V}$

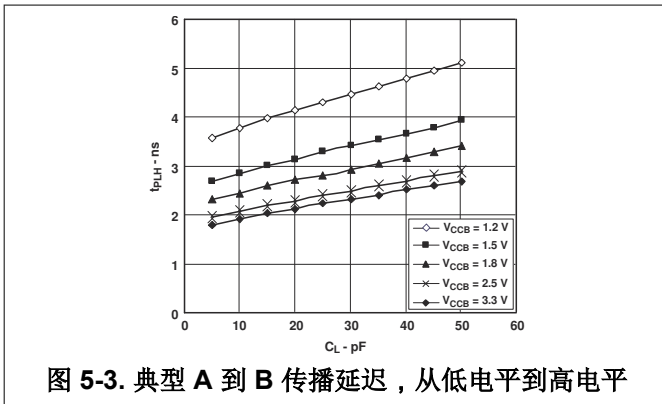


图 5-3. 典型 A 到 B 传播延迟, 从低电平到高电平

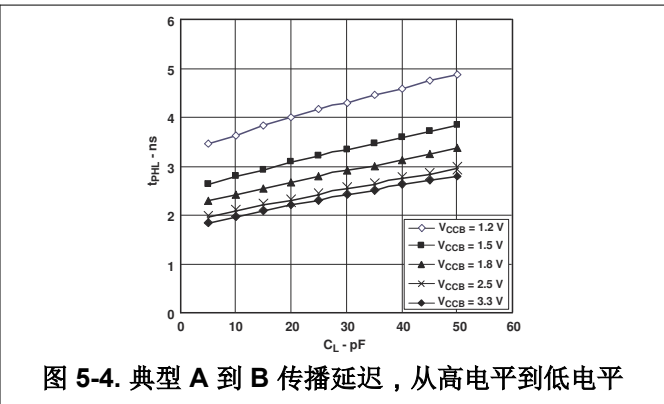
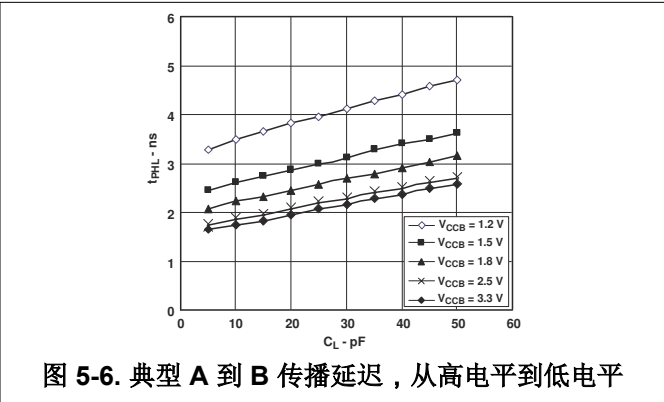
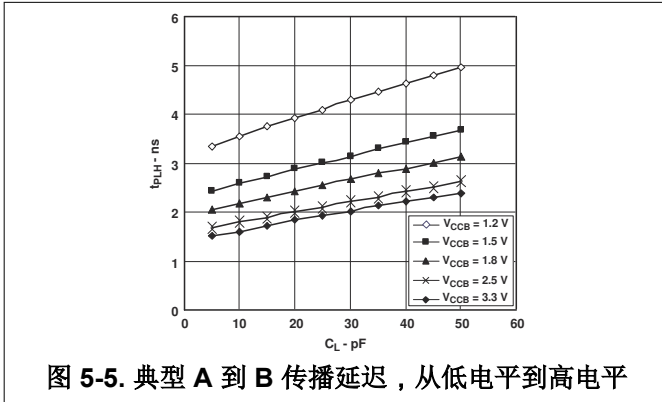
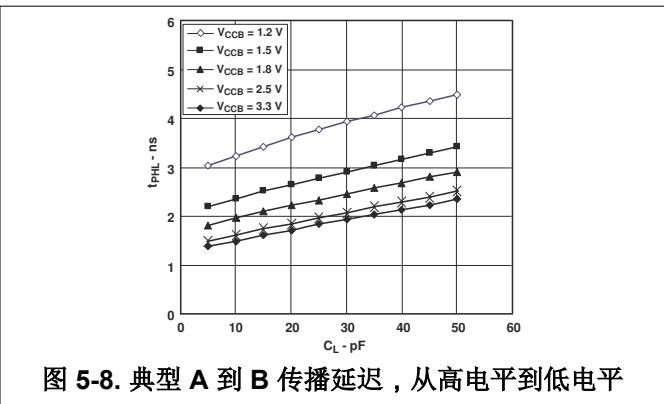
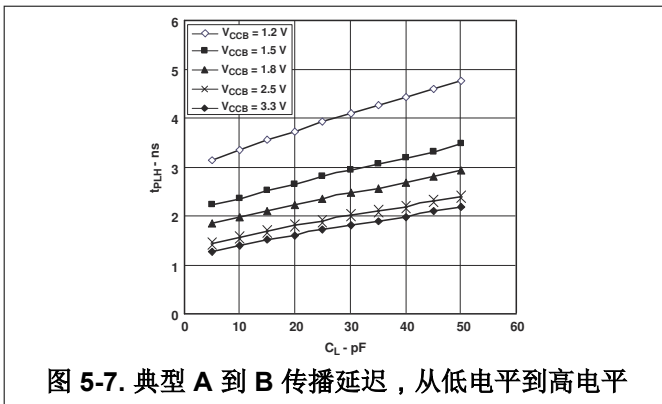


图 5-4. 典型 A 到 B 传播延迟, 从高电平到低电平

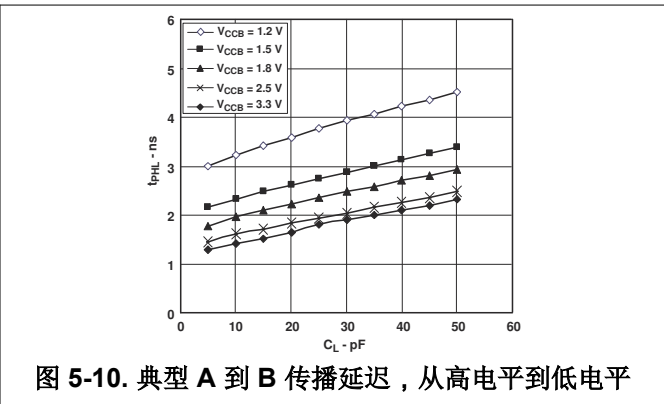
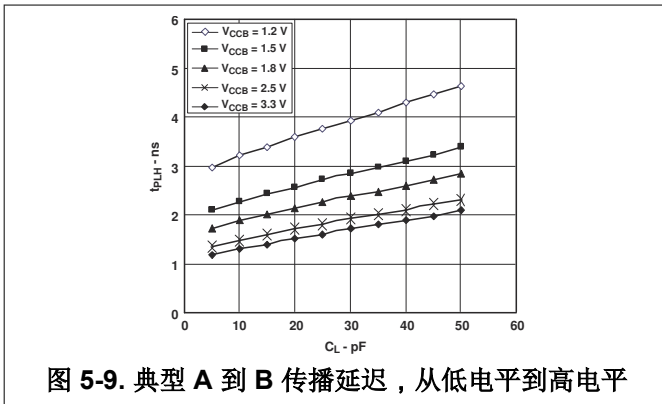
5.12.3 典型传播延迟 (A 到 B) 与负载电容间的关系, $T_A = 25^\circ\text{C}$ 、 $V_{CCA} = 1.8\text{V}$



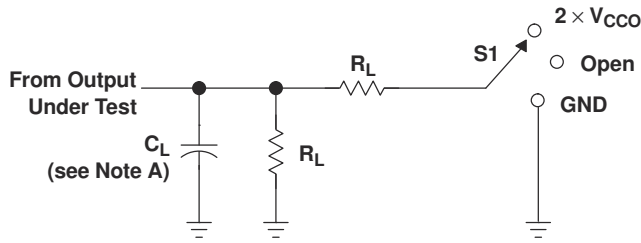
5.12.4 典型传播延迟 (A 到 B) 与负载电容间的关系, $T_A = 25^\circ\text{C}$ 、 $V_{CCA} = 2.5\text{V}$



5.12.5 典型传播延迟 (A 到 B) 与负载电容间的关系 $T_A = 25^\circ\text{C}$ 、 $V_{CCA} = 3.3\text{V}$



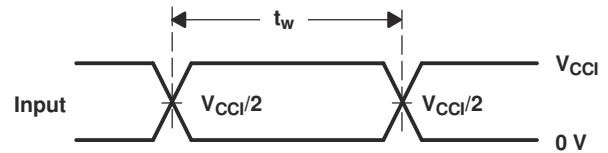
6 参数测量信息



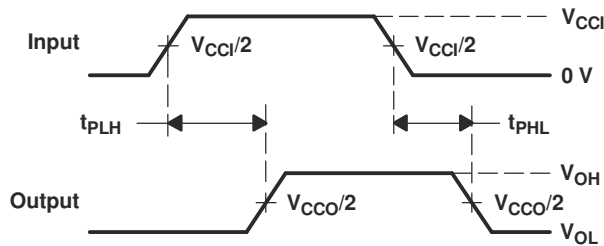
LOAD CIRCUIT

V_{CCO}	C_L	R_L	V_{TP}
1.2 V	15 pF	2 k Ω	0.1 V
1.5 V \pm 0.1 V	15 pF	2 k Ω	0.1 V
1.8 V \pm 0.15 V	15 pF	2 k Ω	0.15 V
2.5 V \pm 0.2 V	15 pF	2 k Ω	0.15 V
3.3 V \pm 0.3 V	15 pF	2 k Ω	0.3 V

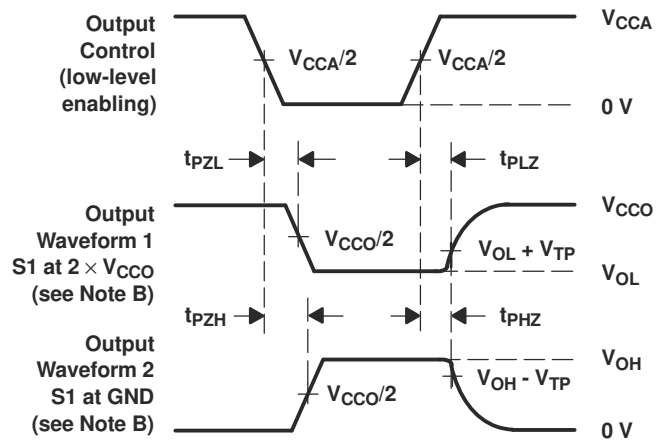
TEST	S1
t_{pd}	Open
t_{PLZ}/t_{PZL}	$2 \times V_{CCO}$
t_{PHZ}/t_{PZH}	GND



VOLTAGE WAVEFORMS
PULSE DURATION



VOLTAGE WAVEFORMS
PROPAGATION DELAY TIMES



VOLTAGE WAVEFORMS
ENABLE AND DISABLE TIMES

- NOTES:
- A. C_L includes probe and jig capacitance.
 - B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 - C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 10$ MHz, $Z_O = 50 \Omega$, $dv/dt \geq 1$ V/ns.
 - D. The outputs are measured one at a time, with one transition per measurement.
 - E. t_{PLZ} and t_{PHZ} are the same as t_{dis} .
 - F. t_{PZL} and t_{PZH} are the same as t_{en} .
 - G. t_{PLH} and t_{PHL} are the same as t_{pd} .
 - H. V_{CCI} is the V_{CC} associated with the input port.
 - I. V_{CCO} is the V_{CC} associated with the output port.

图 6-1. 负载电路和电压波形

7 详细说明

7.1 概述

这款 2 位同相总线收发器使用两个独立的可配置电源轨。A 端口用于跟踪 V_{CCA} ，可支持 1.2V 至 3.6V 范围内的任何电源电压。B 端口用于跟踪 V_{CCB} ，可支持 1.2V 至 3.6V 范围内的任何电源电压。因此可在 1.2V、1.5V、1.8V、2.5V 和 3.3V 电压节点之间进行通用的低压双向转换和电平转换。

器件旨在实现两条数据总线间的异步通信。方向控制 (DIR) 输入的逻辑电平将会激活 B 端口或 A 端口输出。当 B 端口输出被激活时，此器件将数据从 A 总线发送到 B 总线，而当 A 端口输出被激活时，此器件将数据从 B 总线发送到 A 总线。A 端口和 B 端口上的输入电路一直处于运行状态，并且必须施加一个逻辑高或低电平，从而防止发生过大的 CMOS 内部漏电。

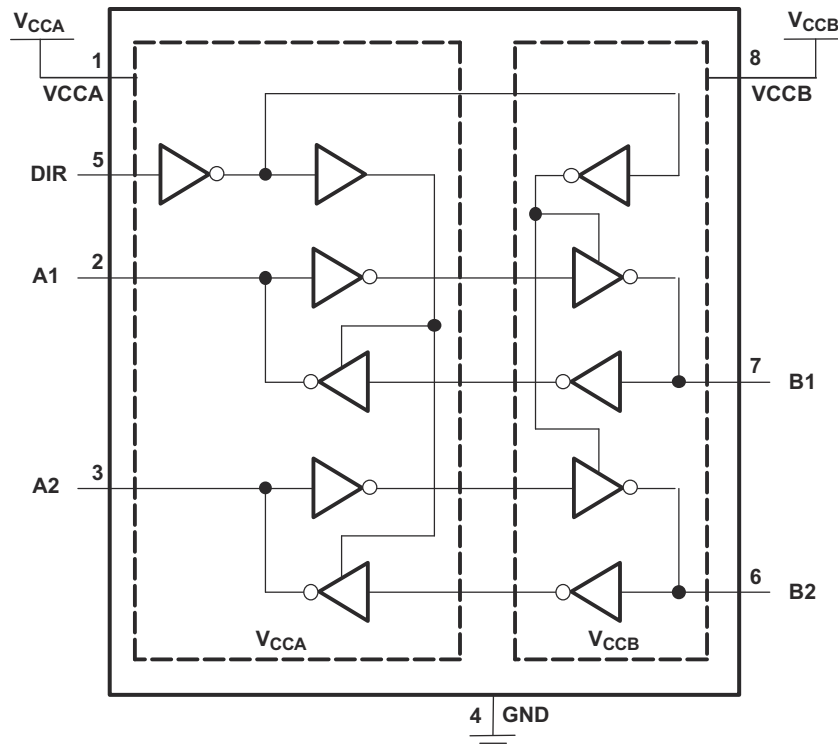
器件旨在实现通过 V_{CCA} 电源电压对 DIR 输入供电。

该器件完全适合使用关断输出电流 (I_{off}) 的局部省电应用。 I_{off} 电路禁用输出，从而可防止其断电时破坏性电流从该器件回流。

V_{CC} 隔离特性可确保只要有任何一个 V_{CC} 输入接地 (GND)，则两个端口均置于高阻抗状态。此操作可防止输出端出现高电平或低电平逻辑错误。

NanoFree 封装技术是 IC 封装概念的一项重大突破，它将硅晶片用作封装。

7.2 功能方框图



引脚编号仅适用于 DCT 和 DCU 封装。

7.3 特性说明

7.3.1 VCC 隔离

V_{CC} 隔离特性可确保当 V_{CCA} 或 V_{CCB} 处于 GND 时，两个端口都处于高阻抗状态（如 [电气特性](#) 中的 I_{OZ} 所示）。此操作可以防止错误逻辑电平出现在任一总线上。

7.3.2.2 轨设计

完全可配置的 2 轨设计，支持各个端口在 1.2V 至 3.6V 的整个电源电压范围内运行。

7.3.3 IO 端口可承受 4.6V 的电压

IO 端口最高可承受 4.6V 的电压。

7.3.4 局部断电模式

该器件完全适合使用关断输出电流 (I_{off}) 的局部省电应用。 I_{off} 电路可禁用输出，以防在器件掉电时电流回流损坏器件。

7.4 器件功能模式

[表 7-1](#) 列出了 SN74AVC2T45-Q1 的功能模式。

**表 7-1. 功能表
(每个收发器)**

输入 DIR	操作
L	B 数据到 A 总线
H	A 数据到 B 总线

8 应用和实例

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

SN74AVC2T45 用于将 IO 电压电平从一个电压域转到另一个电压域。总线 A 和总线 B 具有独立电源，并且方向引脚用于控制数据流的方向。未使用的数据端口不得悬空；将未使用的端口输入和输出直接接地。

8.2 典型应用

8.2.1 单向逻辑电平转换应用

图 8-1 展示了单向逻辑电平转换应用中所用的 SN74AVC2T45 电路示例。

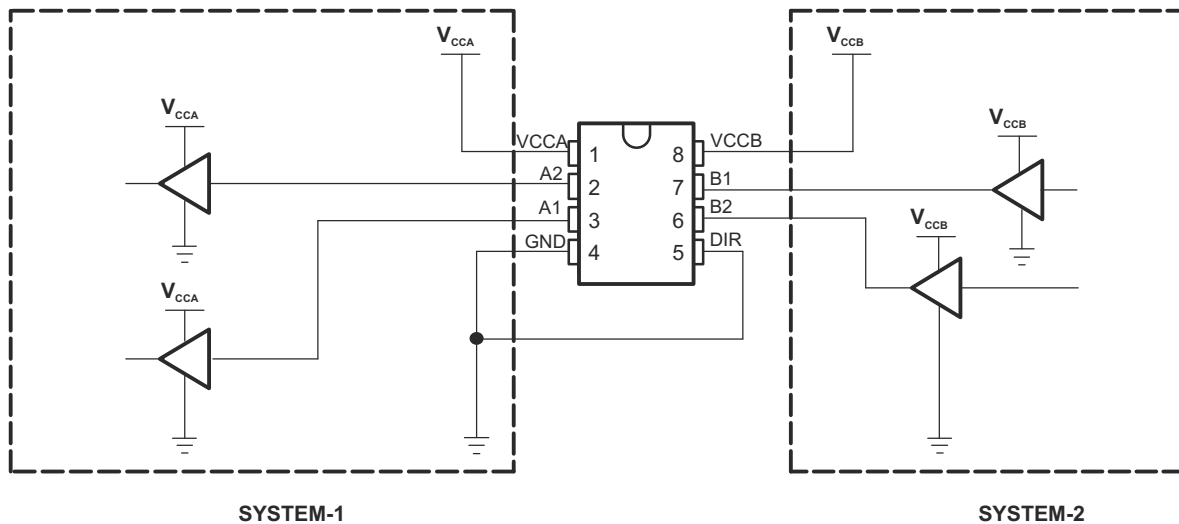


图 8-1. 单向逻辑电平转换应用

8.2.1.1 设计要求

表 8-1 列出了与 SYSTEM-1 和 SYSTEM-2 相连的 SN74AVC2T45 引脚及引脚说明。

表 8-1. 与 SYSTEM-1 和 SYSTEM-2 相连的 SN74AVC2T45 引脚

引脚	名称	说明
1	VCCA	SYSTEM-1 电源电压 (1.2V 至 3.6V)
2	A1	输出电平取决于 V _{CCA} 。
3	A2	输出电平取决于 V _{CCA} 。
4	GND	器件 GND
5	DIR	GND (低电平) 决定 B 端口至 A 端口方向。
6	B2	输入阈值取决于 V _{CCB} 。
7	B1	输入阈值取决于 V _{CCB} 。
8	VCCB	SYSTEM-2 电源电压 (1.2V 至 3.6V)

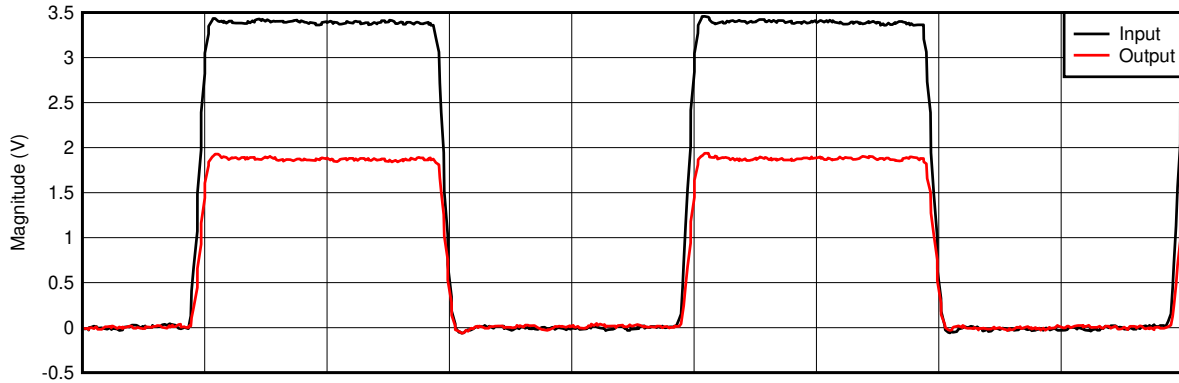
SN74AVC2T45

ZHCSX74N - DECEMBER 2003 - REVISED FEBRUARY 2025

8.2.1.2 详细设计过程

该器件使用根据 DIR 引脚的状态启用的驱动器。设计人员必须了解预期的数据流，并注意不要违反任何高或低逻辑电平。未使用的数据输入不得悬空，因为这会导致输入 CMOS 结构上出现过多的内部泄漏。务必将任何未使用的输入和输出端口直接接地。

8.2.1.3 应用曲线



D001

图 8-2. 利用 1MHz 方波实现 3.3V 至 1.8V 电平转换

8.2.2 双向逻辑电平转换应用

图 8-3 展示了双向逻辑电平转换应用中所用的 SN74AVC2T45。

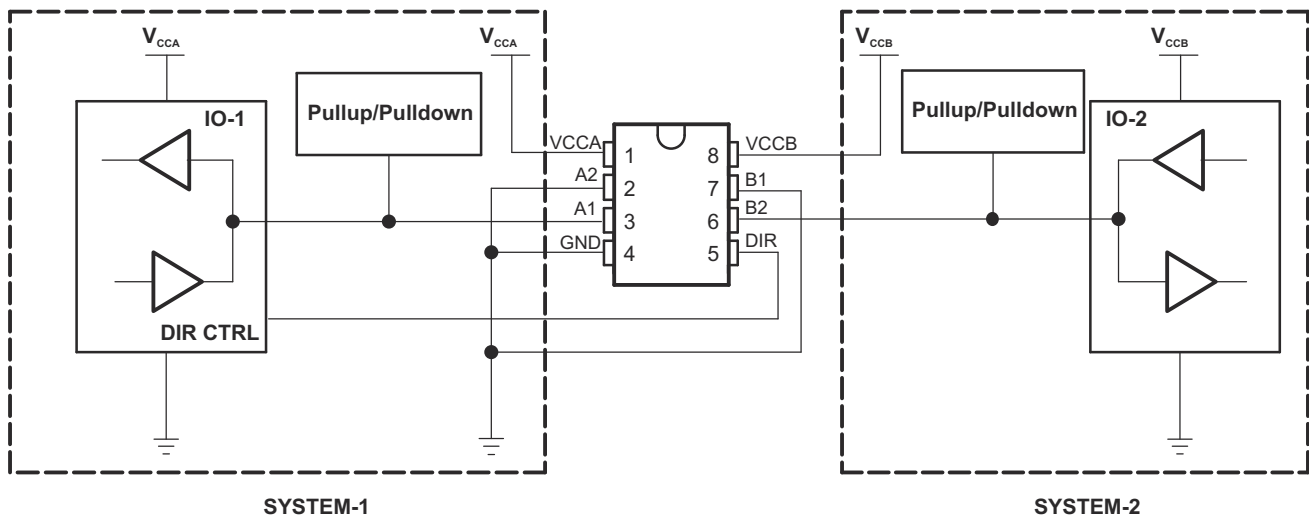


图 8-3. 双向逻辑电平转换应用

8.2.2.1 设计要求

SN74AVC2T45 没有输出使能 (OE) 引脚，因此系统设计人员在改变方向时必须采取预防措施，避免 SYSTEM-1 和 SYSTEM-2 之间发生总线争用。

8.2.2.2 详细设计过程

表 8-2 展示了从 SYSTEM-1 到 SYSTEM-2，然后从 SYSTEM-2 到 SYSTEM-1 的数据传输顺序。

表 8-2. 数据传输序列

状态	方向控制	IO-1	IO-2	说明
1	H	输出	输入	将 SYSTEM-1 数据发送到 SYSTEM-2
2	H	高阻态	高阻态	SYSTEM-2 已准备好向 SYSTEM-1 发送数据。IO-1 和 IO-2 被禁用。总线状态取决于上拉或下拉。(1)
3	L	高阻态	高阻态	DIR 位被翻转。IO-1 和 IO-2 仍被禁用。总线状态取决于上拉或下拉。(1)
4	L	输入	输出	将 SYSTEM-2 数据发送到 SYSTEM-1

(1) SYSTEM-1 和 SYSTEM-2 必须使用相同的条件，即同时上拉或同时下拉。

8.2.2.2.1 启用时间

使用以下公式计算 SN74AVC2T45 的启用时间：

- $t_{pZH}(\text{DIR 至 A}) = t_{pLZ}(\text{DIR 至 B}) + t_{pLH}(\text{B 至 A})$
- $t_{pZL}(\text{DIR 至 A}) = t_{pHZ}(\text{DIR 至 B}) + t_{pHL}(\text{B 至 A})$
- $t_{pZH}(\text{DIR 至 B}) = t_{pLZ}(\text{DIR 至 A}) + t_{pLH}(\text{A 至 B})$
- $t_{pZL}(\text{DIR 至 B}) = t_{pHZ}(\text{DIR 至 A}) + t_{pHL}(\text{A 至 B})$

在双向应用中，这些启用时间提供了从切换 DIR 位直至获得预期输出的最大延迟。例如，如果 SN74AVC2T45 最初是从 A 传输到 B，则切换 DIR 位；必须先禁用器件的 B 端口，然后才能为器件提供输入。在 B 端口被禁用后，施加到端口的输入信号会在指定的传播延迟后出现在相应的 A 端口上。

8.3 电源相关建议

必须始终遵循适当的上电序列，以避免出现电源引脚上的电流过大、总线争用、振荡或其他异常。为了防止出现此类上电问题，请采取以下预防措施：

1. 在施加任何电源电压之前先接地。
2. 为 V_{CCA} 上电。
3. V_{CCB} 可以随 V_{CCA} 一起或在其之后斜升。

8.4 布局

8.4.1 布局指南

为验证器件的可靠性，请遵循以下常见的印刷电路板布局布线指南操作。

- 可以在电源上使用旁路电容器。尽可能靠近 VCCA、VCCB 引脚和 GND 引脚放置电容器。
- 为了避免过多负载，可以使用短布线。

8.4.2 布局示例

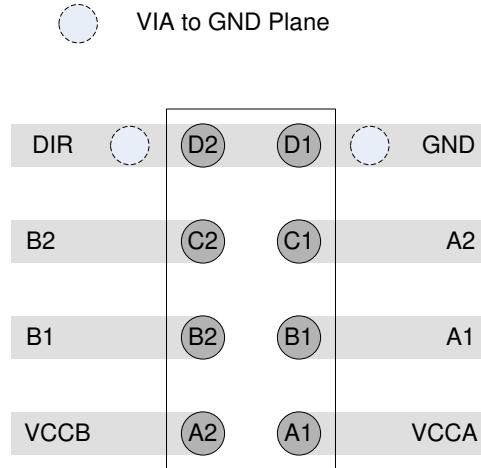


图 8-4. YZP 封装的布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI), [CMOS 输入缓慢变化或悬空的影响](#)

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.4 商标

NanoFree™ is a trademark of Texas Instruments.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.5 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision M (September 2024) to Revision N (February 2025) Page

- 更新了 DCT 和 DDF [热性能信息](#) 6

Changes from Revision L (May 2017) to Revision M (September 2024) Page

- 更新了整个文档中的表格、图和交叉参考的编号格式 1
- 添加了 DDF 封装 1
- 删除了 [社区资源](#) 部分 19
- 添加了 [支持资源](#)、[接收文档更新通知](#)、[静电放电说明](#) 和 [术语表](#) 部分。 19

Changes from Revision K (April 2015) to Revision L (May 2017) **Page**

• 更改了数据表标题.....	1
• 将 YZP 封装引脚排列图更改为底视图.....	3
• 在引脚功能表中添加了“类型”列.....	3
• 添加了工作结温, T_J	4

Changes from Revision J (June 2007) to Revision K (April 2015) **Page**

• 添加了引脚配置和功能部分、ESD 等级表、特性说明部分、器件功能模式、应用和实施部分、电源相关建议部分、布局部分、器件和文档支持部分以及机械、封装和可订购信息部分.....	1
--	---

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AVC2T45DCTR	Active	Production	SSOP (DCT) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DT2 Z
SN74AVC2T45DCTRE4	Active	Production	SSOP (DCT) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DT2 Z
SN74AVC2T45DCTT	Active	Production	SSOP (DCT) 8	250 SMALL T&R	Yes	NIPDAU NIPDAU	Level-1-260C-UNLIM	-40 to 85	DT2 Z
SN74AVC2T45DCUR	Active	Production	VSSOP (DCU) 8	3000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 85	(DT2R, T2) DZ
SN74AVC2T45DCURG4	Active	Production	VSSOP (DCU) 8	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DT2R
SN74AVC2T45DCUT	Active	Production	VSSOP (DCU) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DT2R
SN74AVC2T45DCUTG4	Active	Production	VSSOP (DCU) 8	250 SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 85	DT2R
SN74AVC2T45DDFR	Active	Production	SOT-23-THIN (DDF) 8	3000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	A2T45
SN74AVC2T45YZPR	Active	Production	DSBGA (YZP) 8	3000 LARGE T&R	Yes	SNAGCU	Level-1-260C-UNLIM	-40 to 85	TDN

(1) **Status:** For more details on status, see our [product life cycle](#).

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AVC2T45 :

- Automotive : [SN74AVC2T45-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AVC2T45DCTR	SSOP	DCT	8	3000	180.0	13.0	3.35	4.5	1.55	4.0	12.0	Q3
SN74AVC2T45DCTT	SSOP	DCT	8	250	180.0	13.0	3.35	4.5	1.55	4.0	12.0	Q3
SN74AVC2T45DCUR	VSSOP	DCU	8	3000	180.0	9.0	2.25	3.4	1.0	4.0	8.0	Q3
SN74AVC2T45DCURG4	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
SN74AVC2T45DCUTG4	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
SN74AVC2T45DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.1	1.25	4.0	8.0	Q3
SN74AVC2T45YZPR	DSBGA	YZP	8	3000	178.0	9.2	1.02	2.02	0.63	4.0	8.0	Q1

TAPE AND REEL BOX DIMENSIONS


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AVC2T45DCTR	SSOP	DCT	8	3000	182.0	182.0	20.0
SN74AVC2T45DCTT	SSOP	DCT	8	250	182.0	182.0	20.0
SN74AVC2T45DCUR	VSSOP	DCU	8	3000	182.0	182.0	20.0
SN74AVC2T45DCURG4	VSSOP	DCU	8	3000	202.0	201.0	28.0
SN74AVC2T45DCUTG4	VSSOP	DCU	8	250	202.0	201.0	28.0
SN74AVC2T45DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
SN74AVC2T45YZPR	DSBGA	YZP	8	3000	220.0	220.0	35.0



4225266/A 09/2014

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-187 variation CA.

EXAMPLE BOARD LAYOUT

DCU0008A

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X



4225266/A 09/2014

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCU0008A

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

4225266/A 09/2014

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.



4220784/C 06/2021

NOTES:

- All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
- This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

EXAMPLE BOARD LAYOUT

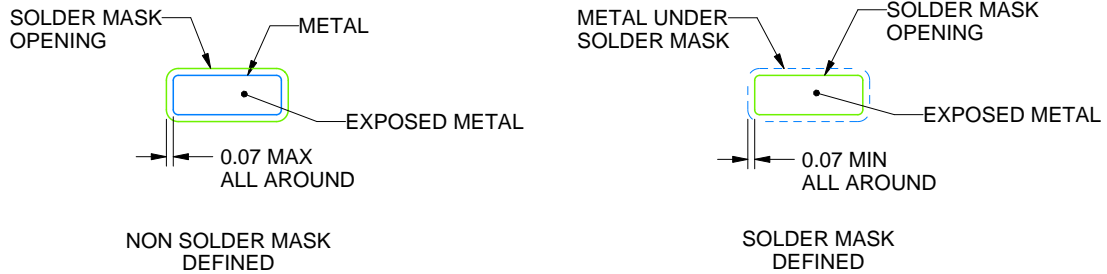
DCT0008A

SSOP - 1.3 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4220784/C 06/2021

NOTES: (continued)

- 5. Publication IPC-7351 may have alternate designs.
- 6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DCT0008A

SSOP - 1.3 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4220784/C 06/2021

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

DDF0008A



PACKAGE OUTLINE

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



4222047/E 07/2024

NOTES:

- All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
- This drawing is subject to change without notice.
- This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.

EXAMPLE BOARD LAYOUT

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X



SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

- 4. Publication IPC-7351 may have alternate designs.
- 5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DDF0008A

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE



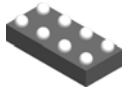
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

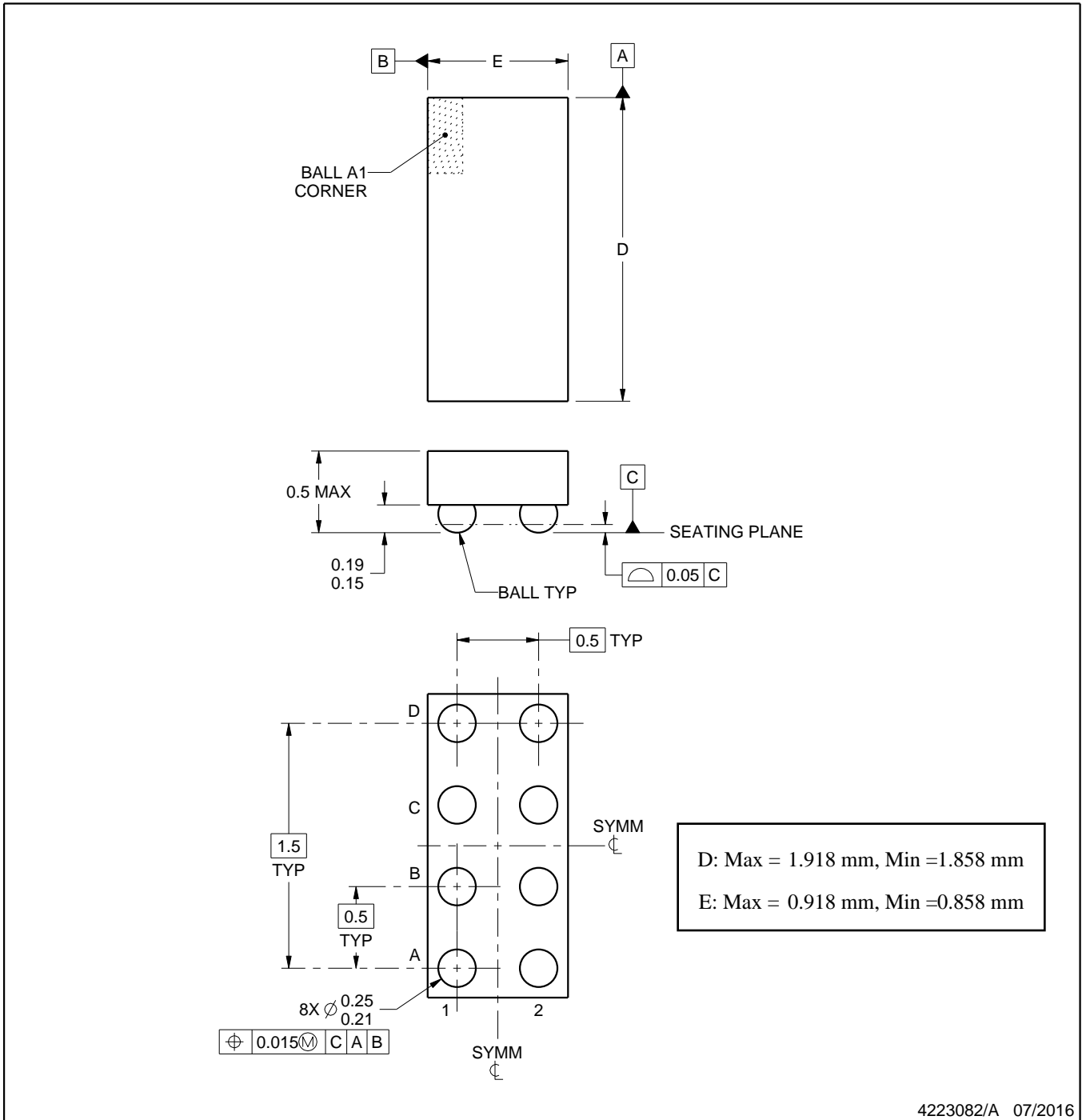
YZP0008



PACKAGE OUTLINE

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

YZP0008

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
SCALE:40X



SOLDER MASK DETAILS
NOT TO SCALE

4223082/A 07/2016

NOTES: (continued)

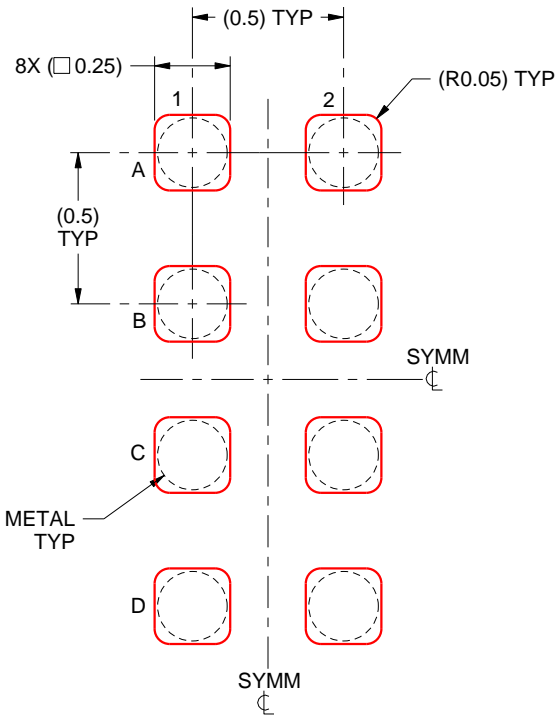
- Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints. For more information, see Texas Instruments literature number SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YZP0008

DSBGA - 0.5 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:40X

4223082/A 07/2016

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司