OPAx171 采用 SOT-553 封装的 36V 单电源通用运算放大器

1 特性

- 电源电压范围：2.7V 至 36V，±1.35V 至 ±18V
- 低噪声：14nV/ √Hz
- 低温漂：±0.3μV/°C（典型值）
- RFI 滤波输入
- 输入范围包括负电源电压
- 输入范围包括正电源电压
- 轨到轨输出
- 增益带宽：3MHz
- 低静态电流：每个放大器 475μA
- 高共模抑制：120dB（典型值）
- 低输入偏置电流：8pA
- 业界通用封装：
  - 5 引脚 SOT-23
  - 8 引脚 SOIC
  - 14 引脚 TSSOP
- *微型* 封装：
  - 采用 SOT-553 封装的单通道版本
  - 采用 VSSOP-8 封装的双通道版本

2 应用

- 电源模块内的跟踪放大器
- 商用电源
- 传感器放大器
- 桥接放大器
- 温度测量
- 应变仪放大器
- 精密积分器
- 电池供电仪表
- 测试设备

3 说明

OPA171、OPA2171 和 OPA4171 (OPAx171) 是一系列 36V、单电源、低噪声运算放大器，这些放大器能够在 2.7V (±1.35V) 至 36V (±18V) 的电源电压范围内运行。这些器件采用微型封装，并提供低失调电压、低漂移、低带宽和低静态电流。单通道、双通道和四通道版本均具有相同的技术规格，可更大程度地提高设计灵活性。

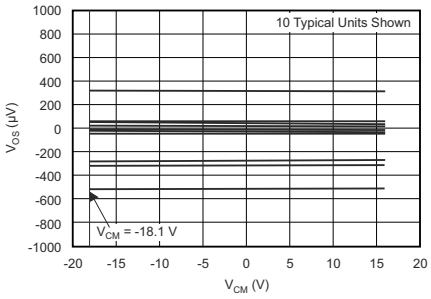
与大多数只有一个额定电源电压的运算放大器不同，OPAx171 系列的额定电压范围为 2.7V 至 36V。超出电源轨的输入信号不会导致相位反转。OPAx171 系列可在容性负载高达 300pF 时保持稳定。在正常运行时，输入电压范围为负电源轨 - 100mV 至正电源轨 ± 2V。这些器件可在比正电源轨电压高 100mV 的满轨到轨输入电压下运行，但在正电源轨电压 ± 2V 范围内运行时，性能会有所下降。

OPAx171 系列运算放大器的额定工作温度范围为 -40°C 至 +125°C。

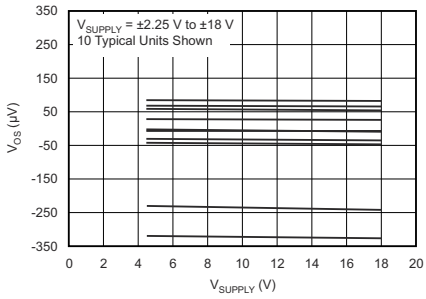
封装信息

器件型号	通道数	封装(1)	封装尺寸(2)
OPA171	单通道	D（SOIC，8）	4.9mm × 6mm
		DBV（SOT-23，5）	2.9mm × 2.8mm
		DRL（SOT-5X3，5）	1.6mm × 1.6mm
OPA2171	双通道	D（SOIC，8）	4.9mm × 6mm
		DCU（VSSOP，8）	2mm × 3.1mm
		DGK（VSSOP，8）	3mm × 4.9mm
OPA4171	四通道	PW（TSSOP，14）	5mm × 6.4mm
		D（SOIC，14）	8.65mm × 6mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



失调电压与共模电压间的关系



失调电压与电源间的关系

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 6
5.1 绝对最大额定值 6
5.2 ESD 等级 6
5.3 建议运行条件 6
5.4 热性能信息：OPA171 7
5.5 热性能信息：OPA2171 7
5.6 热性能信息：OPA4171 7
5.7 电气特性 8
5.8 典型特性：图形表 10
5.9 典型特性 11
6 详细说明 17
6.1 概述 17
6.2 功能方框图 17
6.3 特性说明 17
6.4 器件功能模式 19
7 应用和实施 20
7.1 应用信息 20
7.2 典型应用 21
7.3 电源相关建议 24
7.4 布局 24
8 器件和文档支持 26
8.1 支持资源 26
8.2 支持资源 26
8.3 商标 26
8.4 静电放电警告 26
8.5 术语表 26
9 修订历史记录 26
10 机械、封装和可订购信息 27

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

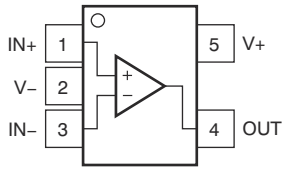


图 4-1. OPA171 DRL 封装： 5 引脚 SOT-553 （顶视图）

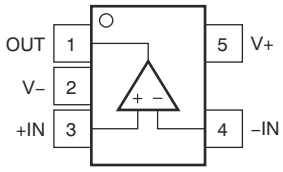
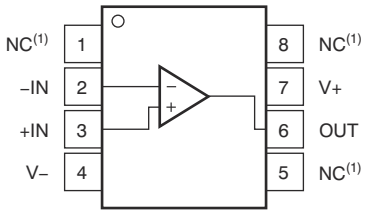


图 4-2. OPA171 DBV 封装： 5 引脚 SOT-23 （顶视图）



A. NC = 没有与内部电路连接

图 4-3. OPA171 D 封装： 8 引脚 SOIC （顶视图）

引脚功能：OPA171

引脚				类型	说明
名称	DRL	DBV	D		
+IN	1	3	3	I	同相输入
–IN	3	4	2	I	反相输入
OUT	4	1	6	O	输出
V+	5	5	7	—	正（最高）电源
V–	2	2	4	—	负（最低）电源
NC	—	—	1、5、8	—	未进行内部电路连接（可以悬空）

Copyright © 2024 Texas Instruments Incorporated

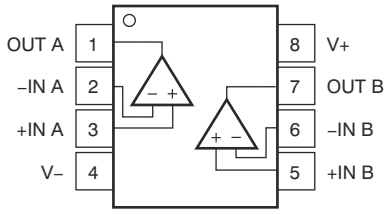


图 4-4. OPA2171 D、DCU 和 DCK 封装： 8 引脚 SO 和 VSSOP （顶视图）

表 4-1. 引脚功能：OPA2171

引脚		类型	说明
名称	编号		
+IN A	3	I	同相输入
+IN B	5	I	同相输入
–IN A	2	I	反相输入
–IN B	6	O	反相输入
OUT A	1	O	输出
OUT B	7	—	输出
V+	8	—	正（最高）电源
V–	4	—	负（最低）电源

Copyright © 2024 Texas Instruments Incorporated

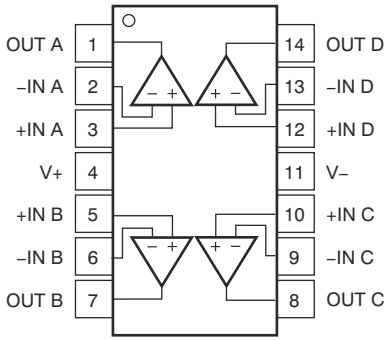


图 4-5. OPA4171 D 和 PW 封装： 14 引脚 SO 和 TSSOP （顶视图）

表 4-2. 引脚功能：OPA4171

引脚		类型	说明
名称	编号		
+IN A	3	I	同相输入
+IN B	5	I	同相输入
+IN C	10	I	同相输入
+IN D	12	I	同相输入
–IN A	2	I	反相输入
–IN B	6	I	反相输入
–IN C	9	I	反相输入
–IN D	13	I	反相输入
OUT A	1	O	输出
OUT B	7	O	输出
OUT C	8	O	输出
OUT D	14	O	输出
V+	4	—	正（最高）电源
V –	11	—	负（最低）电源

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压		0	40	V
信号输入端子	电压	(V–) – 0.5	(V+) + 0.5	V
	电流	-10	10	mA
输出短路(2)		持续		
工作温度		-55	150	°C
结温			150	°C
贮存温度		-65	150	°C

(1) 应力超出*绝对最大额定值*下所列的值可能会对器件造成永久损坏。这些列出的值仅仅是应力等级，这并不表示器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。
(2) 接地短路，每个封装对应一个放大器。

5.2 ESD 等级

		值	单位
$V_{(ESD)}$ 静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±4000	V
	充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±750	

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

	最小值	标称值	最大值	单位
电源电压 (V+ - V–)	4.5 (±2.25)		36 (±18)	V
额定温度	-40		125	°C

Copyright © 2024 Texas Instruments Incorporated

5.4 热性能信息：OPA171

热指标(1)		OPA171			单位
		D (SO)	DBV (SOT-23)	DRL (SOT-553)	
		8 引脚	5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	149.5	245.8	208.1	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	97.9	133.9	0.1	°C/W
$R_{\theta JB}$	结至电路板热阻	87.7	83.6	42.4	°C/W
ψ_{JT}	结至顶部特征参数	35.5	18.2	0.5	°C/W
ψ_{JB}	结至电路板特征参数	89.5	83.1	42.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.5 热性能信息：OPA2171

热指标(1)		OPA2171			单位
		D (SO)	DGK (VSSOP)	DCU (VSSOP)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	134.3	175.2	195.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	72.1	74.9	59.4	°C/W
$R_{\theta JB}$	结至电路板热阻	60.6	22.2	115.1	°C/W
ψ_{JT}	结至顶部特征参数	18.2	1.6	4.7	°C/W
ψ_{JB}	结至电路板特征参数	53.8	22.8	114.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

5.6 热性能信息：OPA4171

热指标(1)		OPA4171		单位
		D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	93.2	106.9	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	51.8	24.4	°C/W
$R_{\theta JB}$	结至电路板热阻	49.4	59.3	°C/W
ψ_{JT}	结至顶部特征参数	13.5	0.6	°C/W
ψ_{JB}	结至电路板特征参数	42.2	54.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用报告。

Copyright © 2024 Texas Instruments Incorporated

5.7 电气特性

T_A = 25°C，V_S = 2.7V 至 36V，V_{CM} = V_{OUT} = V_S / 2 且 R_{LOAD} = 10kΩ 连接至 V_S / 2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压			0.25	±1.8	mV
	在温度范围内	T_A = -40°C 至 +125°C		0.3	±2	mV
dV_{OS}/dT	漂移	T_A = -40°C 至 +125°C		0.3	±2	µV/°C
	与电源的关系	V_S = 4V 至 36V T_A = –40°C 至 +125°C		1	±3	µV/V
	通道分离，直流	DC		5		µV/V
输入偏置电流						
I_B	输入偏置电流			±8	±15	pA
	在温度范围内	T_A = -40°C 至 +125°C			±3.5	nA
I_{OS}	输入失调电流			±4		pA
	在温度范围内	T_A = -40°C 至 +125°C			±3.5	nA
噪声						
	输入电压噪声	f = 0.1Hz 至 10Hz		3		μV_{PP}
e_n	输入电压噪声密度	f = 100Hz		25		nV/√Hz
		f = 1kHz		14		nV/√Hz
输入电压						
V_{CM}	共模电压范围		(V–) – 0.1V		(V+) – 2V	V
CMRR	共模抑制比	V_S = ±2V (V–) – 0.1V < V_{CM} < (V+) – 2V T_A = –40°C 至 +125°C	90	104		dB
		V_S = ±18V (V–) – 0.1V < V_{CM} < (V+) – 2V T_A = –40°C 至 +125°C	104	120		dB
输入阻抗						
	差分			100 || 3		MΩ || pF
	共模			6 || 3		10^{12}Ω || pF
开环增益						
A_{OL}	开环电压增益	V_S = 4V 至 36V (V–) + 0.35V < V_O < (V+) – 0.35V T_A = –40°C 至 +125°C	110	130		dB
频率响应						
GBP	增益带宽积			3		MHz
SR	压摆率	G = 1		1.5		V/µs
t_S	建立时间	误差为 0.1% V_S = ±18V，G = 1 10V 阶跃		6		µs
		误差为 0.01%（12 位） V_S = ±18V，G = 1 10V 阶跃		10		µs
	过载恢复时间	V_{IN} × 增益 > V_S		2		µs
THD+N	总谐波失真 + 噪声	G = 1，f = 1kHz V_O = 3 V_{RMS}		0.0002%		
输出						

Copyright © 2024 Texas Instruments Incorporated

T_A = 25°C，V_S = 2.7V 至 36V，V_{CM} = V_{OUT} = V_S / 2 且 R_{LOAD} = 10kΩ 连接至 V_S / 2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
V_O	距离电源轨的电压输出摆幅	V_S = 5V R_L = 10kΩ		30		mV
	在温度范围内	R_L = 10kΩ A_{OL} ≥ 110dB T_A = –40°C 至 +125°C	(V–) + 0.35		(V+) – 0.35	V
I_{SC}	短路电流			+25/-35		mA
C_{LOAD}	容性负载驱动			请参阅 *节 5.9*		pF
R_O	开环输出电阻	f = 1MHz I_O = 0A		150		Ω
电源						
V_S	额定电压范围		2.7		36	V
I_Q	每个放大器的静态电流	I_O = 0 A		475	595	μA
	在温度范围内	I_O = 0A T_A = –40°C 至 +125°C			650	μA
温度						
	指定的范围		-40		125	°C
	工作温度范围		-55		150	°C

Copyright © 2024 Texas Instruments Incorporated

5.8 典型特性：图形表

表 5-1. 特性性能测量

说明	图表
失调电压产生分布	图 5-1
失调电压漂移分配	图 5-2
失调电压与温度间的关系	图 5-3
失调电压与共模电压间的关系	图 5-4
失调电压与共模电压间的关系（前级）	图 5-5
失调电压与电源间的关系	图 5-6
I_B 和 I_{OS} 与共模电压间的关系	图 5-7
输入偏置电流与温度间的关系	图 5-8
输出电压摆幅与输出电流间的关系（最大电源电压）	图 5-9
CMRR 和 PSRR 与频率间的关系（以输入为基准）	图 5-10
CMRR 与温度间的关系	图 5-11
PSRR 与温度间的关系	图 5-12
0.1Hz 至 10Hz 噪声	图 5-13
输入电压噪声频谱密度与频率间的关系	图 5-14
THD+N 比与频率间的关系	图 5-15
THD+N 与输出幅度间的关系	图 5-16
静态电流与温度间的关系	图 5-17
静态电流与电源电压间的关系	图 5-18
开环增益和相位与频率间的关系	图 5-19
闭环增益与频率间的关系	图 5-20
开环增益与温度间的关系	图 5-21
开环输出阻抗与频率间的关系	图 5-22
小信号过冲与容性负载间的关系（100mV 输出阶跃）	图 5-23、图 5-24
无相位反转	图 5-25
正过载恢复	图 5-26
负过载恢复	图 5-27
小信号阶跃响应 (100mV)	图 5-28、图 5-29
大信号阶跃响应	图 5-30、图 5-31
大信号建立时间（10V 正阶跃）	图 5-32
大信号建立时间（10V 负阶跃）	图 5-33
短路电流与温度间的关系	图 5-34
最大输出电压与频率间的关系	图 5-35
通道隔离与频率间的关系	图 5-36

Copyright © 2024 Texas Instruments Incorporated

5.9 典型特性

V_S = ±18V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ 连接至 V_S/2，且 C_L = 100pF（除非另有说明）

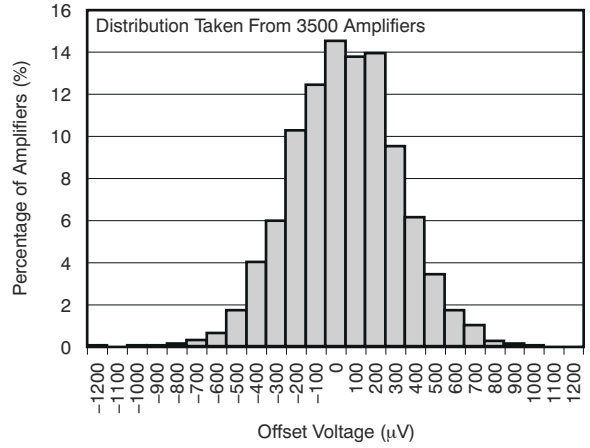


图 5-1. 失调电压产生分布

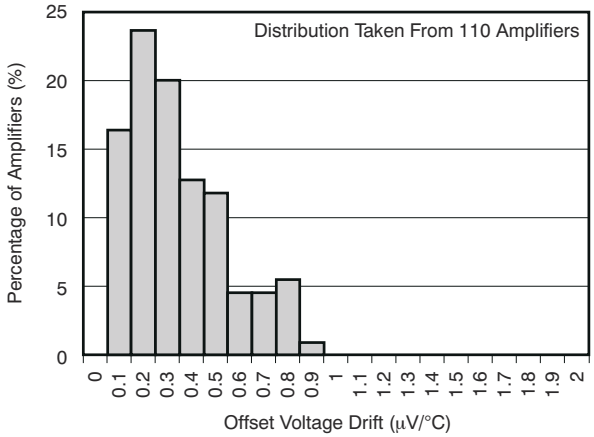


图 5-2. 失调电压漂移分配

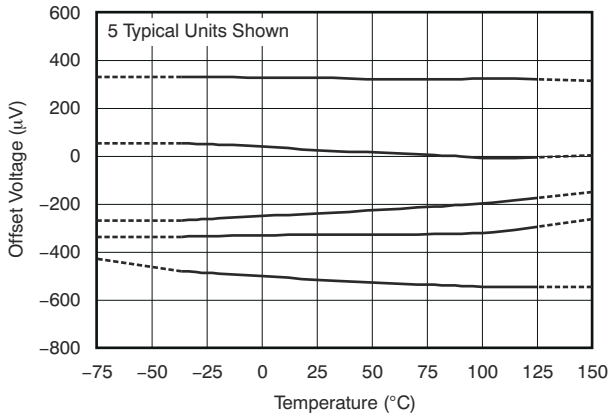


图 5-3. 失调电压与温度间的关系

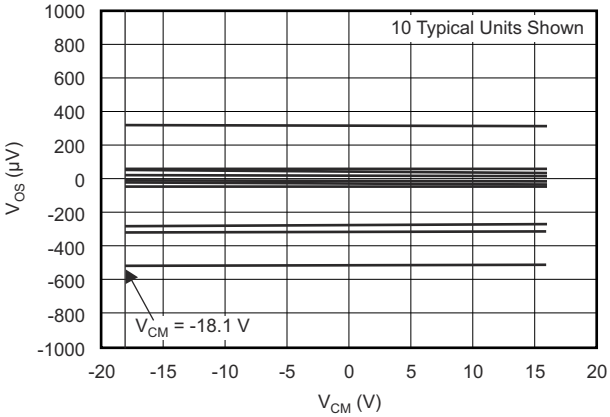


图 5-4. 失调电压与共模电压间的关系

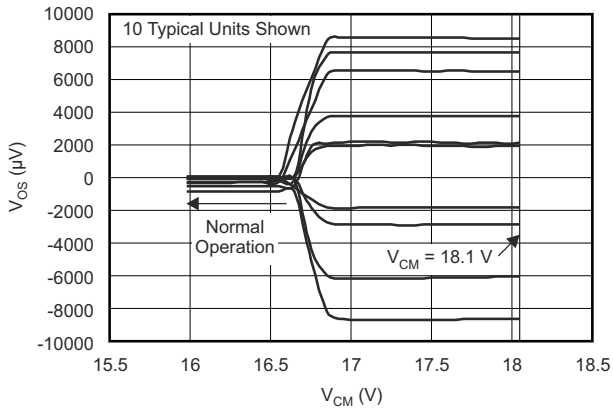


图 5-5. 失调电压与共模电压间的关系（前级）

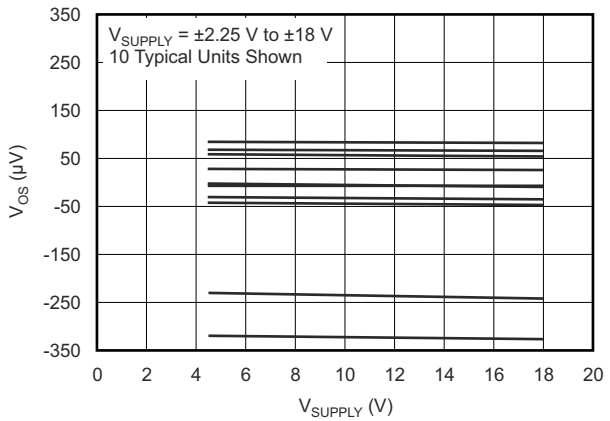


图 5-6. 失调电压与电源间的关系

Copyright © 2024 Texas Instruments Incorporated

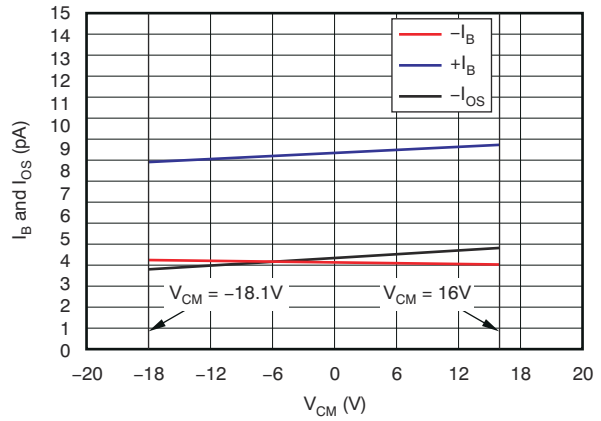


图 5-7. I_B 和 I_{OS} 与共模电压间的关系

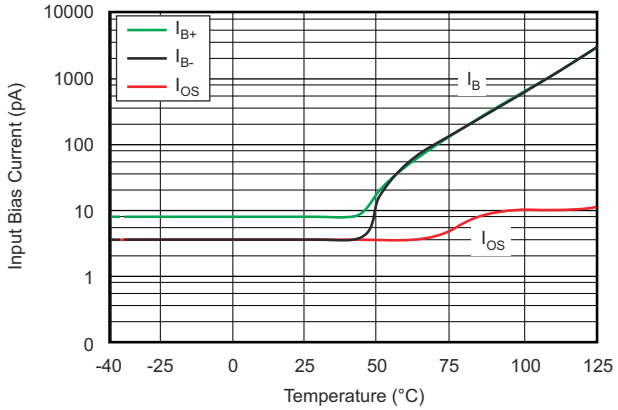


图 5-8. 输入偏置电流与温度间的关系

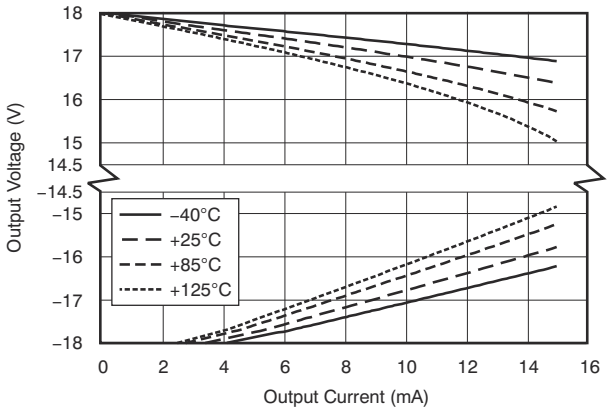


图 5-9. 输出电压摆幅与输出电流间的关系（最大电源电压）

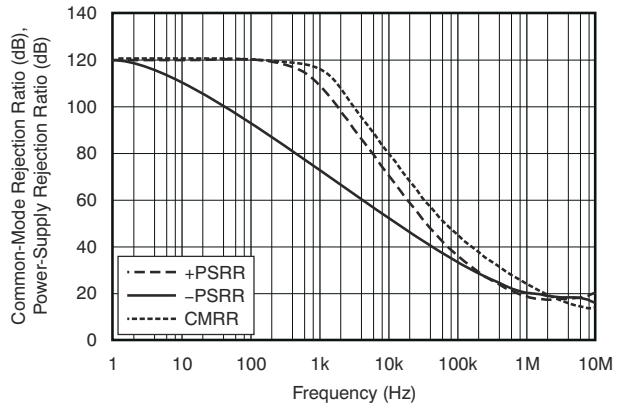


图 5-10. CMRR 和 PSRR 与频率间的关系（以输入为基准）

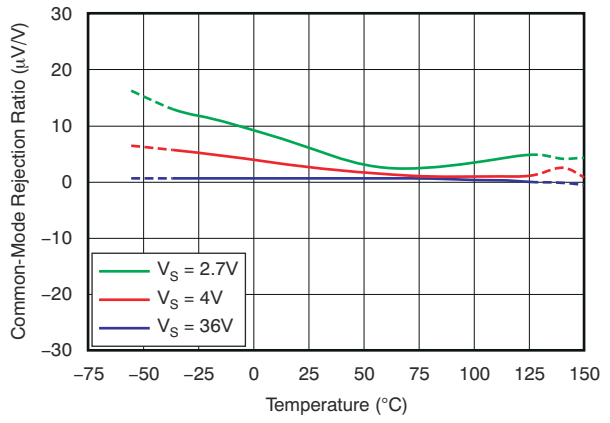


图 5-11. CMRR 与温度间的关系

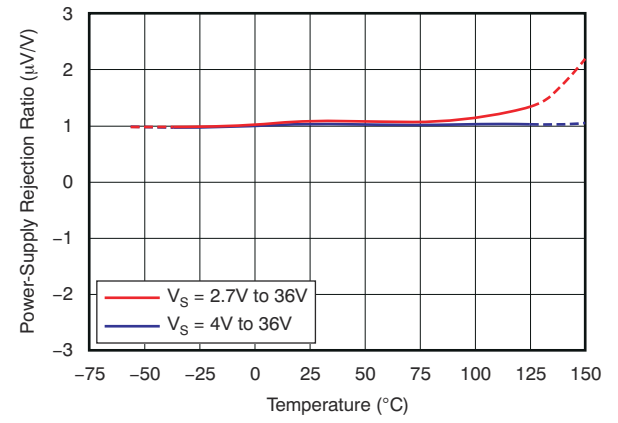


图 5-12. PSRR 与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

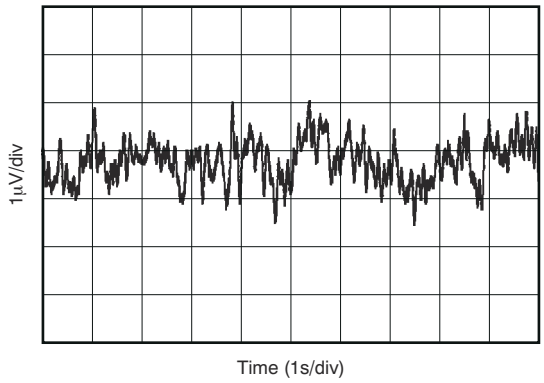


图 5-13. 0.1Hz 至 10Hz 噪声

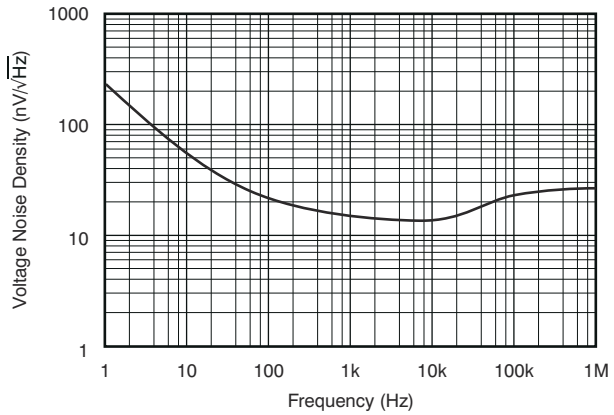


图 5-14. 输入电压噪声频谱密度与频率间的关系

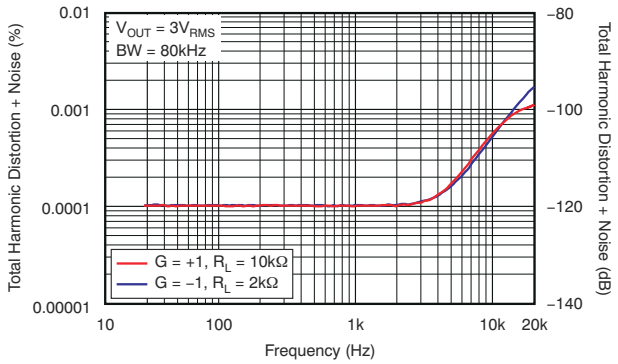


图 5-15. THD+N 比与频率间的关系

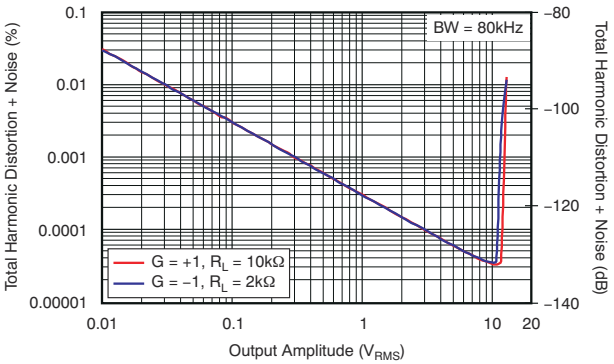


图 5-16. THD+N 与输出幅度间的关系

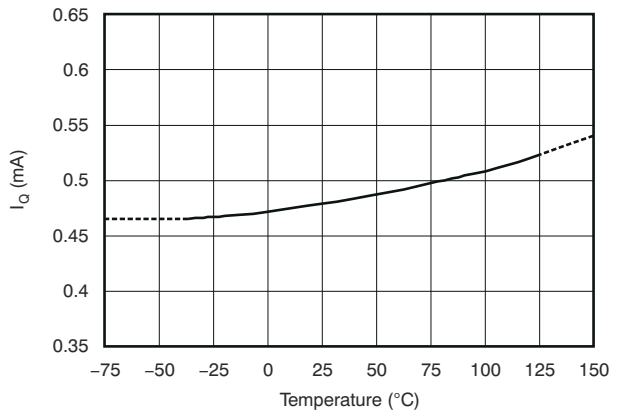


图 5-17. 静态电流与温度间的关系

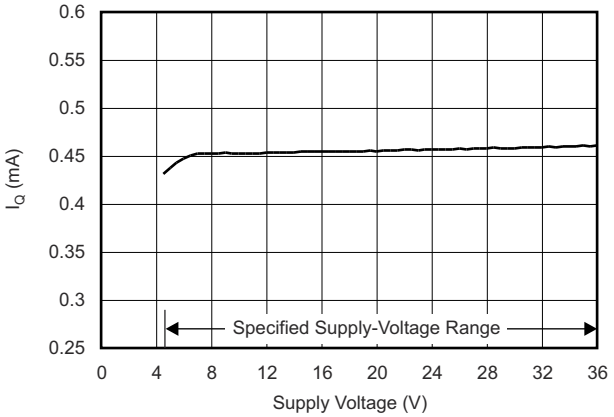


图 5-18. 静态电流与电源电压间的关系

Copyright © 2024 Texas Instruments Incorporated

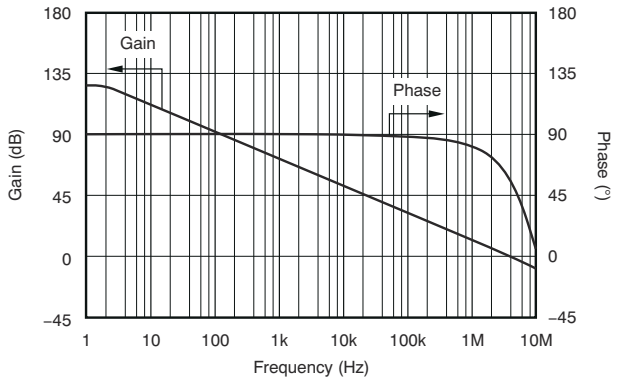


图 5-19. 开环增益和相位与频率间的关系

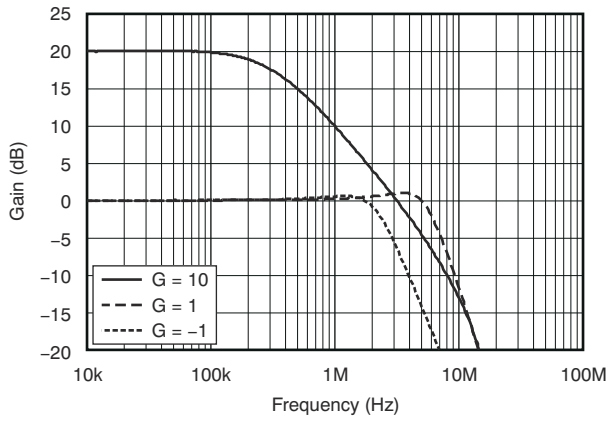


图 5-20. 闭环增益与频率间的关系

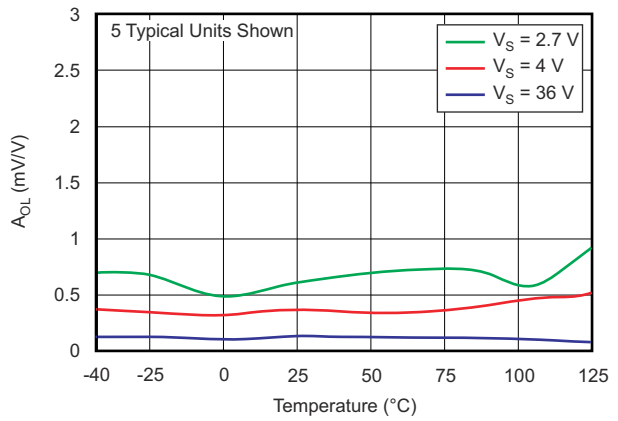


图 5-21. 开环增益与温度间的关系

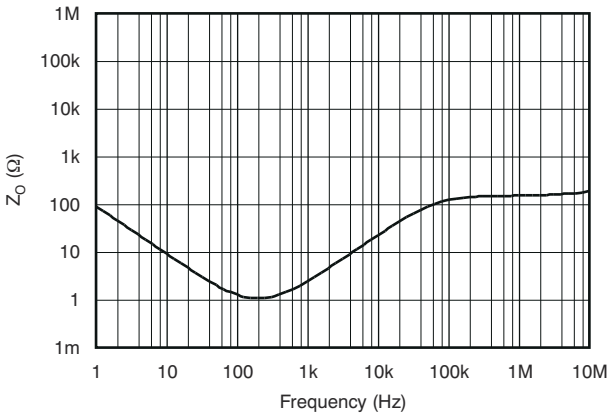


图 5-22. 开环输出阻抗与频率间的关系

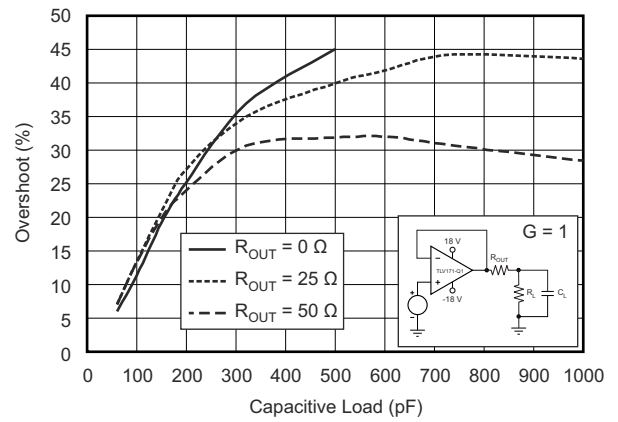


图 5-23. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

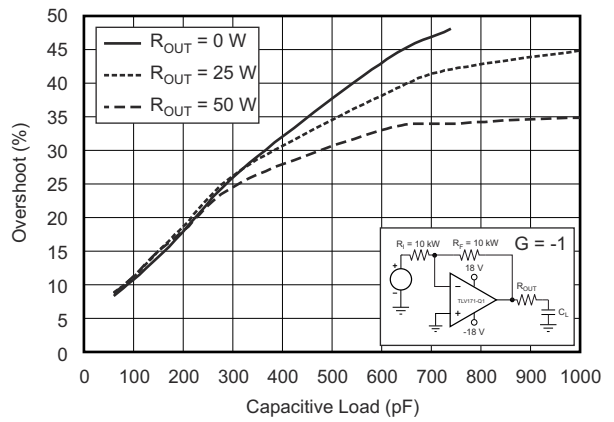


图 5-24. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

Copyright © 2024 Texas Instruments Incorporated

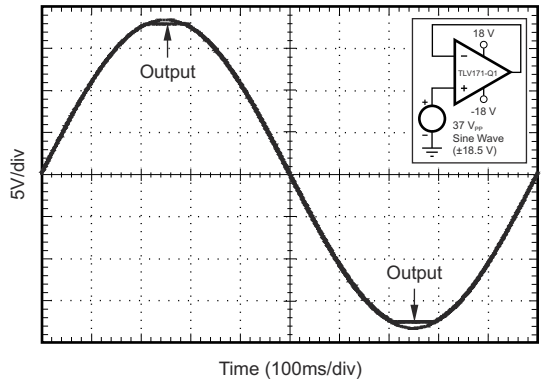


图 5-25. 无相位反转

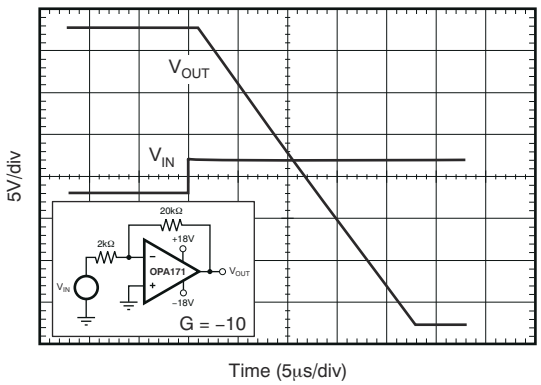


图 5-26. 正过载恢复

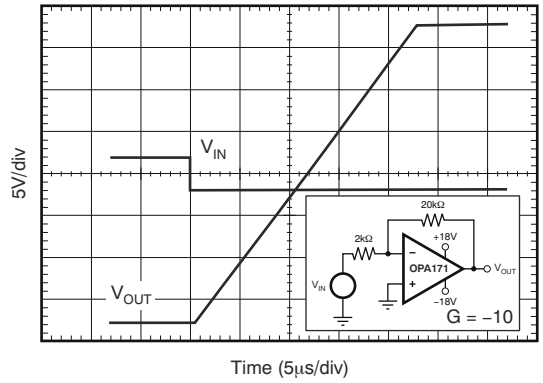


图 5-27. 负过载恢复

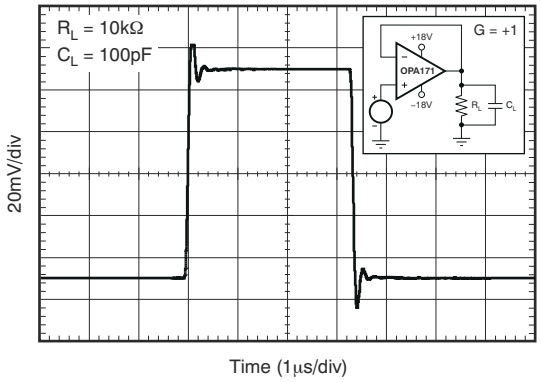


图 5-28. 小信号阶跃响应 (100mV)

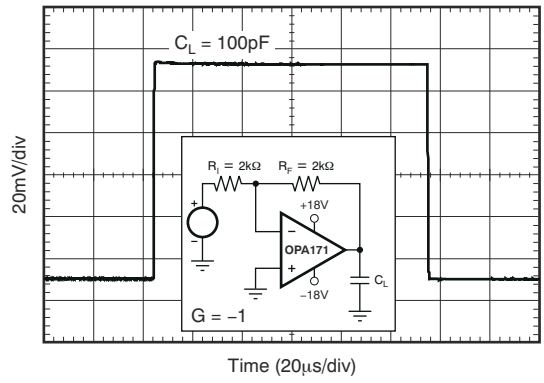


图 5-29. 小信号阶跃响应 (100mV)

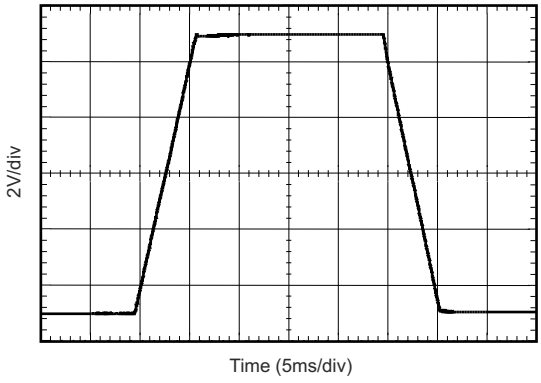


图 5-30. 大信号阶跃响应

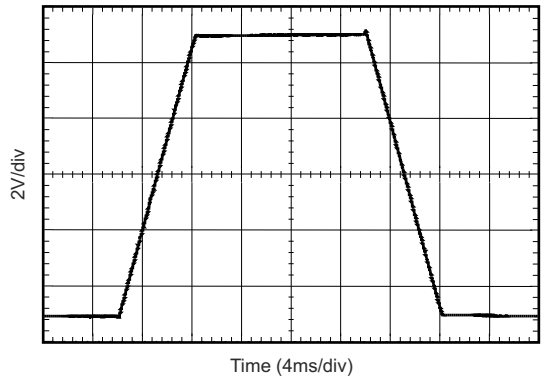


图 5-31. 大信号阶跃响应

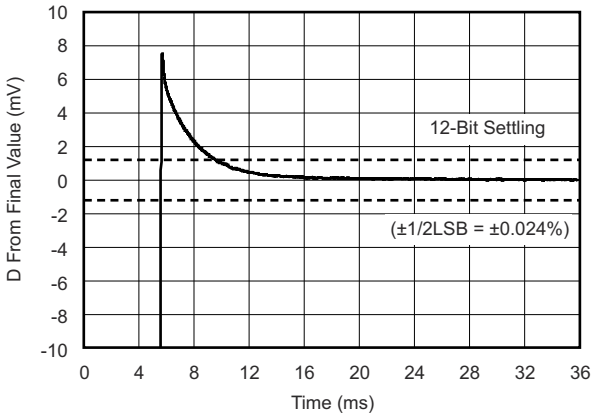


图 5-32. 大信号建立时间（10V 正阶跃）

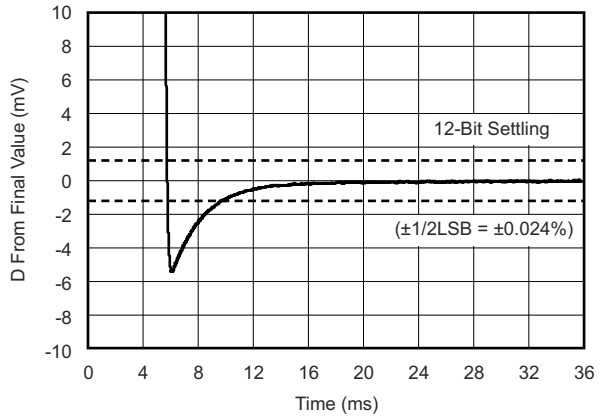


图 5-33. 大信号建立时间（10V 负阶跃）

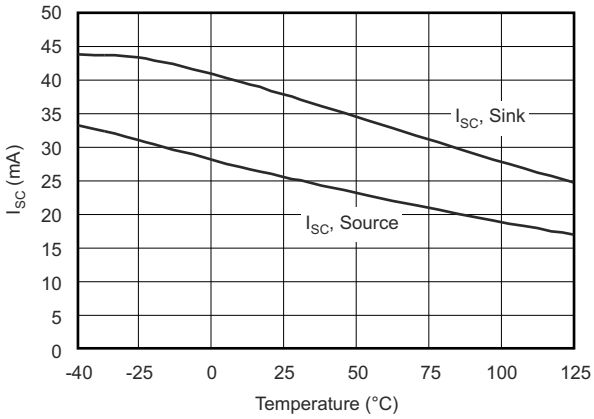


图 5-34. 短路电流与温度间的关系

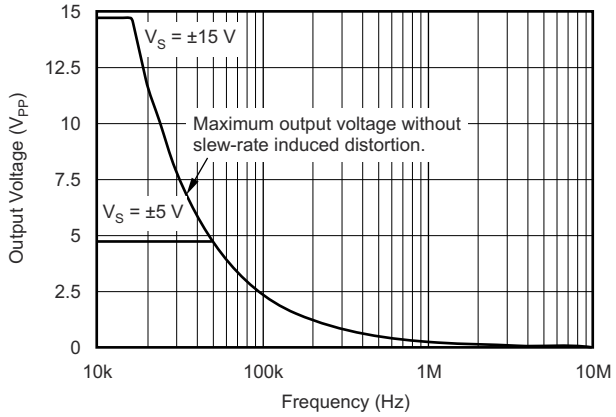


图 5-35. 最大输出电压与频率间的关系

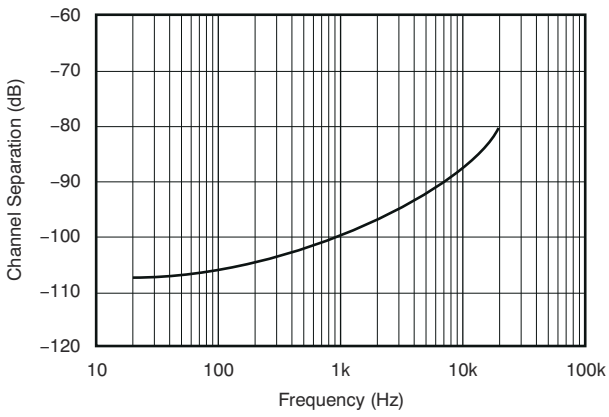


图 5-36. 通道隔离与频率间的关系

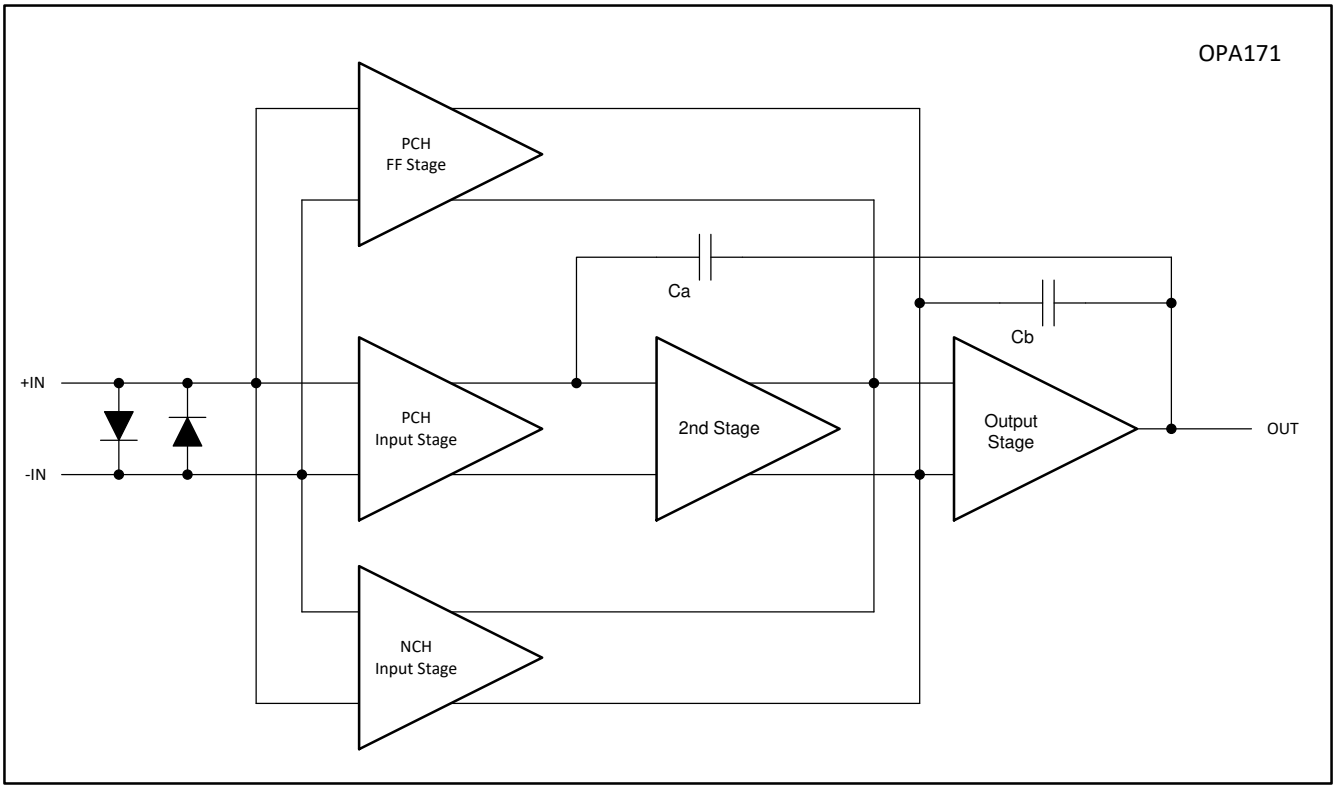
Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

OPAx171 运算放大器提供出色的总体性能，因此非常适合多种通用应用。凭借仅 2μV/°C 的出色温漂，此类器件可在整个温度范围内提供卓越的稳定性。此外，该系列还具有高 CMRR、PSRR 和 A_{OL} 等出色的总体性能。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下，0.1μF 电容器已足够满足需求。

6.2 功能方框图



6.3 特性说明

6.3.1 工作特性

OPAx171 系列放大器的额定工作电压范围为 2.7V 至 36V（±1.35V 至 ±18V）。许多规格在 –40°C 至 +125°C 的温度范围内适用。*节 5.9* 中展示了随工作电压或温度的变化而显著变化的参数。

6.3.2 共模电压范围

为了实现正常运行，OPAx171 系列的输入共模电压范围扩大至负电源轨 - 100mV 至正电源轨 ± 2V。

该系列可在比正电源轨电压高 100mV 的满轨到轨输入电压下运行，但在正电源轨电压 ± 2V 范围内运行时，性能会有所下降。表 6-1 总结了该范围内的典型性能。

6.3.3 相位反转保护

OPAx171 系列器件有一个内部相位反转保护。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对的电源轨。OPAx171 的输入采用额外的共模电压来防止相位反转。或者，输出被限制至适当的电源轨。图 6-1 展示了该性能。

Copyright © 2024 Texas Instruments Incorporated

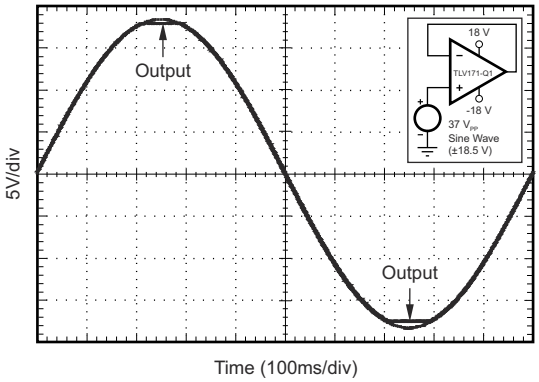


图 6-1. 无相位反转

表 6-1. 典型性能范围

参数	最小值	典型值	最大值	单位
输入共模电压	(V+) – 2		(V+) + 0.1	V
失调电压		7		mV
与温度间的关系		12		μV/°C
共模抑制		65		dB
开环增益		60		dB
GBW		0.7		MHz
压摆率		0.7		V/μs
f = 1kHz 时的噪声		30		nV/ √Hz

6.3.4 容性负载和稳定性

OPAx171-Q1 系列器件的动态特性已经过优化，适用于常见的工作条件。低闭环增益和高容性负载的特性组合降低了放大器的相位裕度，并导致增益峰值或振荡。因此，高容性负载必须与输出隔离。实现此隔离的最简单方法就是增加一个与输出串联的小电阻器（例如，等于 50Ω 的 R_{OUT}）。图 6-2 和图 6-3 展示了在不同 R_{OUT} 值下的小信号过冲和容性负载。有关分析技术和应用电路的详细信息，请参阅*应用公告 AB-028*，下载地址为 TI.com。

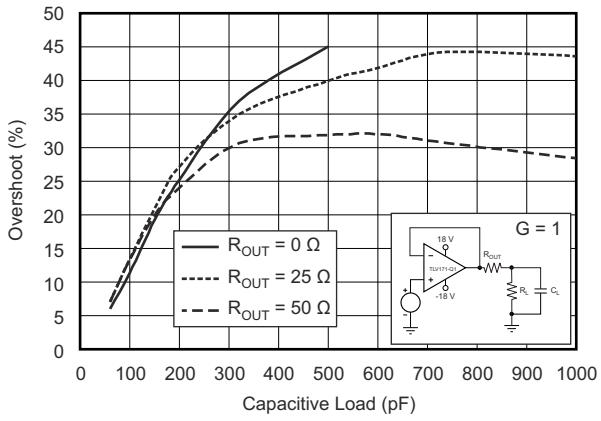


图 6-2. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

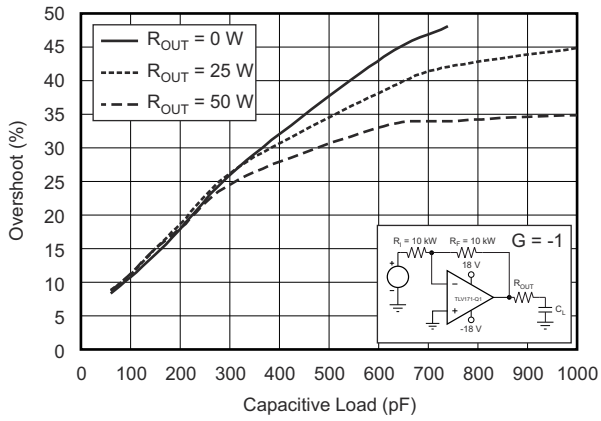


图 6-3. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

Copyright © 2024 Texas Instruments Incorporated

6.4 器件功能模式

6.4.1 共模电压范围

为了实现正常运行，OPAx171 系列的输入共模电压范围扩大至负电源轨 - 100mV 至正电源轨 ± 2V。

这些器件可在比正电源轨电压高 100mV 的满轨到轨输入电压下运行，但在正电源轨电压 ± 2V 范围内运行时，性能会有所下降。表 6-1 总结了该范围内的典型性能。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

OPAx171 运算放大器提供出色的总体性能，因此非常适合多种通用应用。凭借仅 2μV/°C 的出色温漂，此类器件可在整个温度范围内提供卓越的稳定性。此外，该系列还具有高 CMRR、PSRR 和 A_{OL} 等出色的总体性能。与所有放大器一样，具有嘈杂或者高阻抗电源的应用需要放置在靠近器件引脚的去耦合电容器。在大多数情况下，0.1μF 电容器已足够满足需求。

7.1.1 电过应力

设计人员经常会问到关于运算放大器耐受电过应力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

充分了解 ESD 基本电路及其与电气过载事件的关联性会有所帮助。图 7-1 展示了 OPAx171 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及多个导流二极管。这些二极管从输入和输出引脚方向连接回内部供电线路，并且均连接到运算放大器的内部吸收器件。该保护电路在电路正常工作时处于未运行状态。

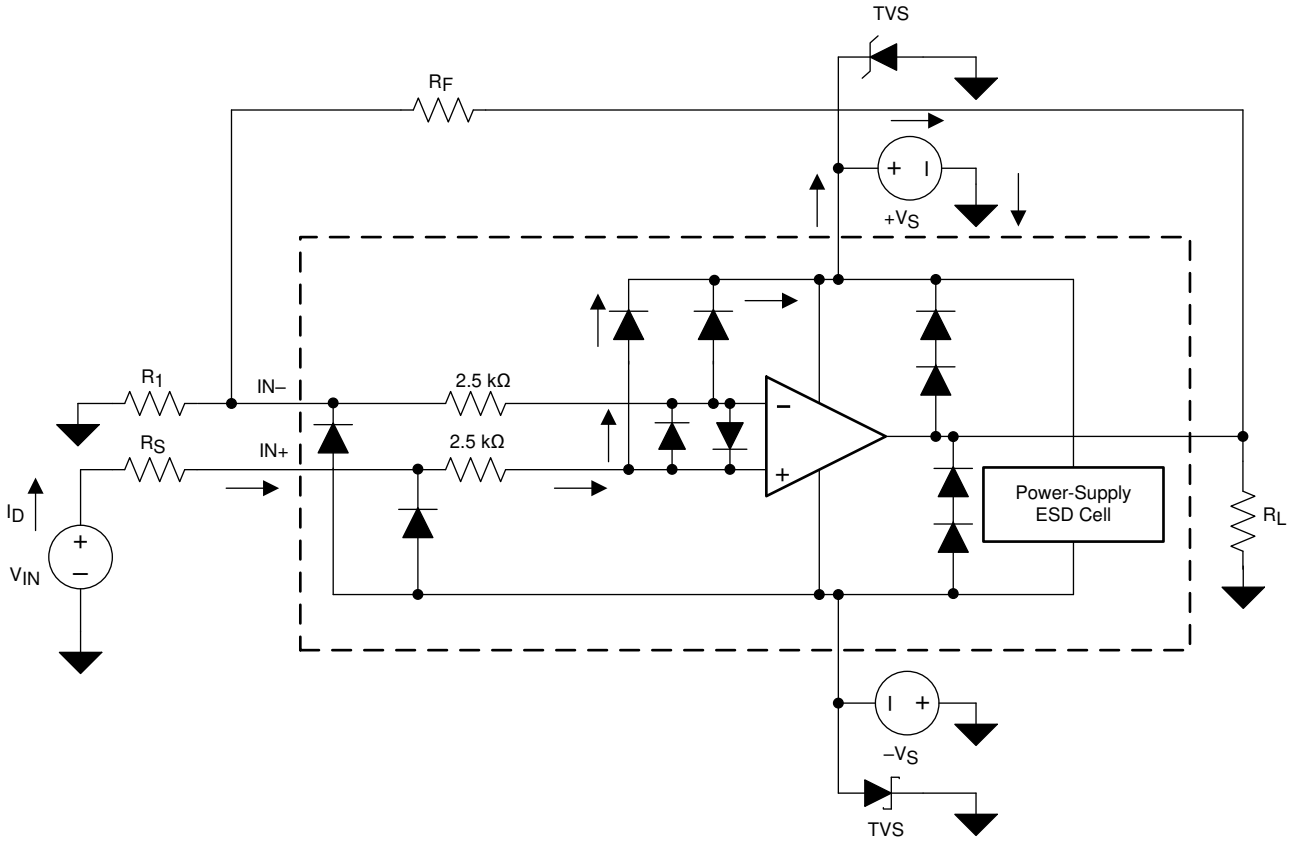


图 7-1. 与典型电路应用相关的等效内部 ESD 电路

Copyright © 2024 Texas Instruments Incorporated

ESD 事件可产生短时高压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当 ESD 电压作用于两个或多个放大器引脚时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件包含一个触发电平（或阈值电压），该电平介于 OPAx171 的正常工作电压和器件击穿电平之间。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如图 7-1 中所示）时，ESD 保护元件将保持未激活状态并且不会参与应用电路的运行。不过，当施加的电压超出指定引脚的工作电压时，会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经导流二极管路径，但很少涉及吸收器件。

图 7-1 给出了一个具体示例，其中输入电压 (V_{IN}) 高于正电源电压 (V+) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 V+ 能够吸收电流，那么上面的一个导流二极管就会导通，并将电流传导至 V+。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 则开始向运算放大器提供电流，然后提供正电源电压。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题涉及到，如果在电源（V+ 或 V –）为 0V 时向输入端施加输入信号，放大器如何回应。这个问题取决于电源在 0V 或低于输入信号幅度时的特性。如果电源呈高阻抗状态，那么输入源则通过导流二极管为运算放大器提供电流，但此状态并非正常偏置条件，放大器很可能没有正常工作。如果电源表现为低阻态，则通过导流二极管的电流将变得非常大。电流水平取决于输入源提供电流的能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源引脚处外接齐纳二极管；请参阅图 7-1。选择齐纳电压可确保二极管不会在正常运行过程中导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源引脚电压上升至超过工作电源电压安全水平时导通。

OPAx171 的输入引脚通过背对背二极管获得保护，避免因差分电压过大而受损；请参阅图 7-1。在大多数电路应用中，输入保护电路不会影响应用。但在低增益或 G = 1 的电路中，快速斜坡的输入信号会导致这些二极管发生正向偏置，原因是放大器输出对于输入斜坡的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 OPAx171 的低噪声性能。图 7-1 展示了实现限流反馈电阻器的示例配置。

7.2 典型应用

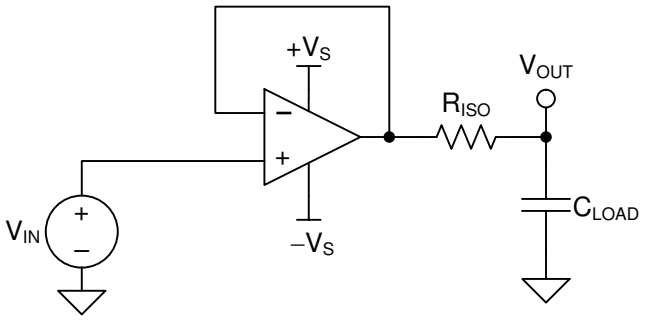


图 7-2. 具有 R_{ISO} 稳定性补偿的单位增益缓冲器

7.2.1 设计要求

设计要求包括：

- 电源电压：30V（±15V）
- 容性负载：100pF、1000pF、0.01μF、0.1μF 和 1μF
- 相位裕度：45° 和 60°

Copyright © 2024 Texas Instruments Incorporated

7.2.2 详细设计过程

图 7-3 展示了驱动容性负载的单位增益缓冲器。方程式 1 展示了 图 7-3 中的电路传递函数。图 7-3 中未展示运算放大器的开环输出电阻 R_o。

$$T(s) = \frac{1 + C_{LOAD} \times R_{ISO} \times s}{1 + (R_o + R_{ISO}) \times C_{LOAD} \times s} \quad (1)$$

方程式 1 中的传递函数包含一个极点和一个零点。极点频率 (f_p) 取决于 (R_o + R_{ISO}) 和 C_{LOAD}。元件 R_{ISO} 和 C_{LOAD} 决定了零点频率 (f_z)。通过选择 R_{ISO}，可使开环增益 (A_{OL}) 与 1/β 间的接近率 (ROC) 达到 20dB/十倍频程，从而确保系统稳定性。图 7-3 阐述了这一概念。单位增益缓冲器的 1/β 曲线为 0dB。

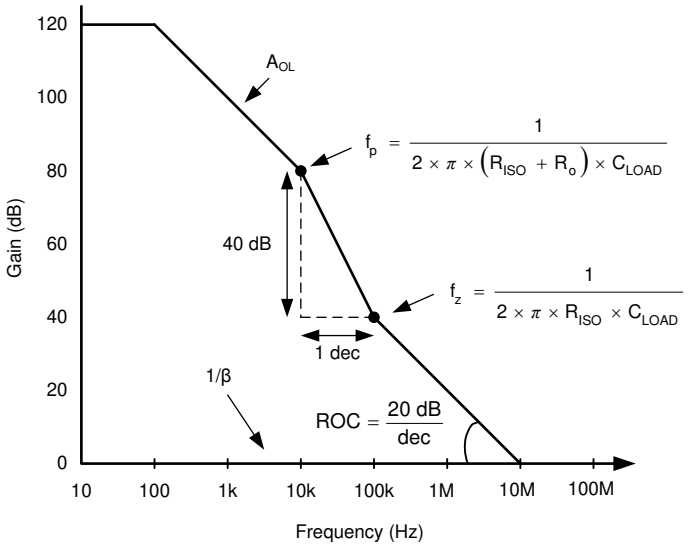


图 7-3. 具有 R_{ISO} 补偿的单位增益放大器

ROC 稳定性分析通常为模拟结果。分析的有效性取决于多种因素，尤其是准确的 R_o 建模。除仿真 ROC 外，可靠的稳定性分析还包括使用函数生成器、示波器以及增益和相位分析器对电路的过冲百分比和交流增益峰值进行测量。然后，通过这些测量值计算相位裕度。表 7-1 展示了与 45° 和 60° 相位裕度对应的过冲百分比和交流增益峰值。有关此设计以及可用于代替 OPAx171 的其他备选器件的更多详细信息，请参阅*采用隔离电阻器的容性负载驱动解决方案*。

表 7-1. 相位裕度与过冲和交流增益峰值间的关系

相位裕度	过冲	交流增益峰值
45°	23.3%	2.35dB
60°	8.8%	0.28dB

7.2.2.1 容性负载和稳定性

OPAx171 的动态特性经过优化，适用于常见的工作条件。低闭环增益和高容性负载的特性组合降低了放大器的相位裕度，并导致增益峰值或振荡。因此，高容性负载必须与输出隔离。实现此隔离的最简单方法就是增加一个与输出串联的小电阻器（例如，等于 50Ω 的 R_{OUT}）。图 6-2 和图 6-3 展示了在不同 R_{OUT} 值下的小信号过冲与容性负载图。有关分析技术和应用电路的详细信息，请参阅*应用公告 AB-028*，此文件可从 TI 网站内下载。

Copyright © 2024 Texas Instruments Incorporated

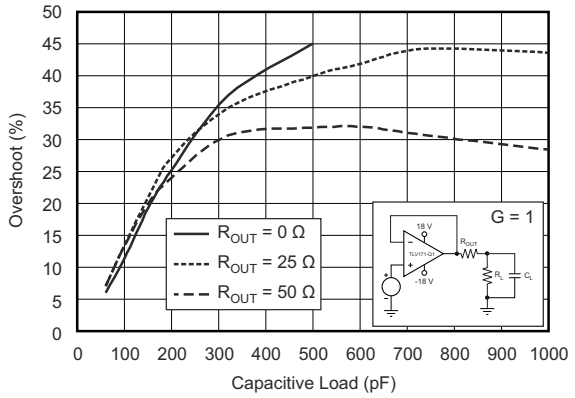


图 7-4. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

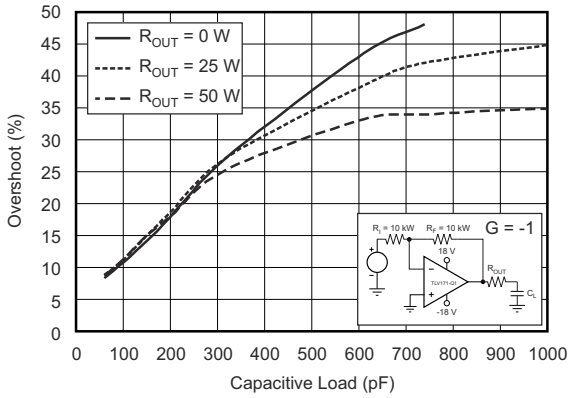


图 7-5. 小信号过冲与容性负载间的关系（100mV 输出阶跃）

7.2.3 应用曲线

OPAx171 可满足 30V 的电源电压要求。已针对不同的容性负载对 OPAx171 进行了测试，并通过调整 RISO 得到与表 7-1 相对应的过冲。图 7-6 总结了这些测试的结果。

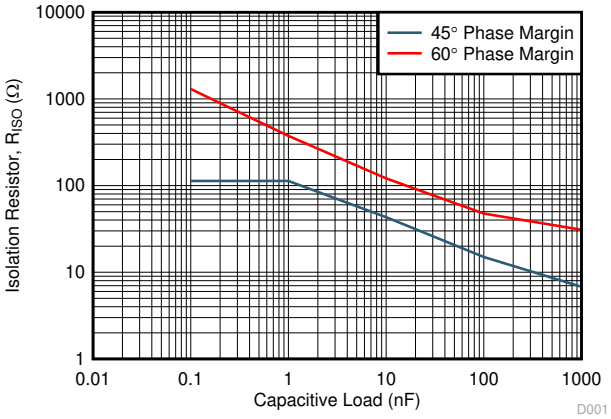


图 7-6. R_{ISO} 与 C_{LOAD} 间的关系

7.3 电源相关建议

OPAx171 系列的额定工作电压为 4.5V 至 36V（±2.25V 至 ±18V）；许多规格在 –40°C 至 +125°C 的温度范围内适用。*节 5* 部分展示了随工作电压或温度的变化而显著变化的参数。

小心

电源电压超过 40V 可能会对器件造成永久损坏；请参阅 *节 5.1* 表。

将 0.1 µF 旁路电容器置于电源引脚附近，可减少从高噪声电源或高阻抗电源中耦合进来的误差。有关旁路电容器放置的详细信息，请参阅 *节 7.4.1* 部分。

7.4 布局

7.4.1 布局指南

为了实现器件运行的理想性能，建议使用设计合理的印刷电路板 (PCB) 布局实践。必须在每个电源引脚和接地端之间连接低损耗 0.1µF 旁路电容器，并尽量靠近器件放置。对于单电源应用，V+ 到接地端之间适合安装一个旁路电容器。

Copyright © 2024 Texas Instruments Incorporated

7.4.2 布局示例

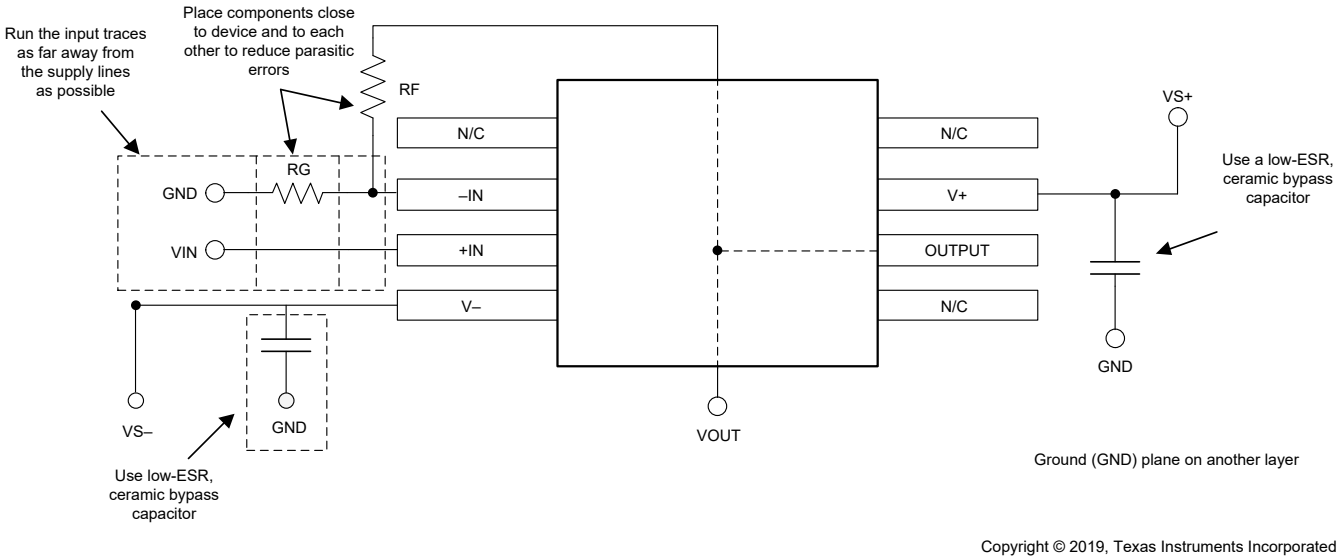


图 7-7. 同相配置的运算放大器电路板布局

8 器件和文档支持

8.1 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision G (May 2020) to Revision H (June 2024)	Page
• 将整个数据表中的 MSOP-8 封装更改为 VSSOP-8	1
• 向*特性* 中的业界通用封装列表添加了“5 引脚 SOT-23 封装”	1
• 删除了*特性* 中业界通用封装列表中的 8 引脚 MSOP 封装	1
• 通篇更新了表格、图和交叉参考的编号格式	1
• 将“器件信息”表更改为“封装信息”	1

Changes from Revision F (April 2018) to Revision G (May 2020)	Page
• 向*应用* 部分添加了链接	1
• 更改了“典型特性”部分中包含错误单位（mV 更改为 µV）的图	11

Changes from Revision E (April 2015) to Revision F (April 2018)	Page
• 将*绝对最大额定值* 表中的最小电源电压值从 20V 更改为 0V	6
• 向*绝对最大额定值* 表添加了 40V 的最大电源电压值	6
• 重写了*应用信息* 部分中的*电过应力* 小节内容	20

Copyright © 2024 Texas Instruments Incorporated

Changes from Revision D (September 2012) to Revision E (April 2015) **Page**

- 更改了器件标题 (删除了“超值系列”) 1
- 添加了 *ESD 等级* 表、*特性说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及 *机械、封装和可订购信息* 部分 1

Changes from Revision C (June 2011) to Revision D (September 2012) **Page**

- 向标题添加了“超值系列” 1

Changes from Revision B (November 2010) to Revision June 2011 C () **Page**

- 向器件图添加了 MSOP-8 封装 1
- 向“特性”要点添加了 MSOP-8 封装 1
- 向“产品系列”表添加了 MSOP-8 封装 1
- 更新了针对 OPA2171 和 OPA4171 的引脚排列配置 3
- 向“OPA2171 热性能信息”表添加了 MSOP-8 封装 7
- 为 *电气特性* 中 *输出* 小节的“距离电源轨的电压输出摆幅”参数添加了新的行 8
- 将 *电气特性* 中 *输出* 小节的“距离电源轨的电压输出摆幅”参数更改为“在温度范围内” 8
- 更改了图 5-9 11

Changes from Revision A (November 2010) to Revision B (November 2010) **Page**

- 更改了输入失调电压规格 8
- 更改了“输入失调电压”、“在温度范围内”的规格 8
- 更改了“每个放大器的静态电流”、“在温度范围内”的规格 8

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA171AID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVRG4	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVRG4.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVT	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU | SN	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDBVT.A	Active	Production	SOT-23 (DBV) | 5	250 | SMALL T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OSUI
OPA171AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	O171A
OPA171AIDRLR	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAP
OPA171AIDRLR.A	Active	Production	SOT-5X3 (DRL) | 5	4000 | LARGE T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAP
OPA171AIDRLT	Active	Production	SOT-5X3 (DRL) | 5	250 | SMALL T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAP
OPA171AIDRLT.A	Active	Production	SOT-5X3 (DRL) | 5	250 | SMALL T&R	Yes	NIPDAUAG	Level-1-260C-UNLIM	-40 to 125	DAP
OPA2171AID	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AID.A	Active	Production	SOIC (D) | 8	75 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AIDCUR	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCUR.A	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCURG4	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCURG4.A	Active	Production	VSSOP (DCU) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCUT	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDCUT.A	Active	Production	VSSOP (DCU) | 8	250 | SMALL T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	OPOC
OPA2171AIDGK	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDGK.A	Active	Production	VSSOP (DGK) | 8	80 | TUBE	Yes	NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU | SN | NIPDAUAG	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPMI

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2171AIDGKRG4	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDGKRG4.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPMI
OPA2171AIDR	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AIDR.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AIDRG4	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA2171AIDRG4.A	Active	Production	SOIC (D) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	2171A
OPA4171AID	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AID.A	Active	Production	SOIC (D) | 14	50 | TUBE	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIDR	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIDR.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIDRG4	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIDRG4.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	OPA4171
OPA4171AIPW	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPW.A	Active	Production	TSSOP (PW) | 14	90 | TUBE	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPWR	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPWR.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPWRG4	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171
OPA4171AIPWRG4.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	OPA4171

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA171, OPA2171, OPA4171 :

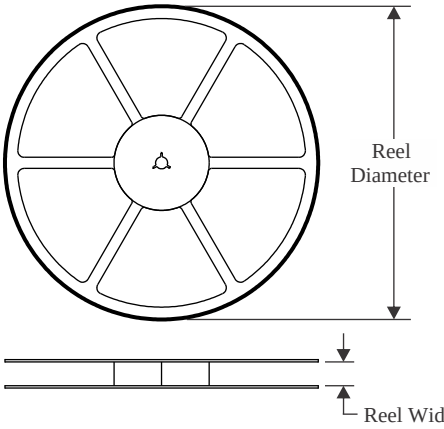
- Automotive : OPA171-Q1, OPA2171-Q1, OPA4171-Q1
- Enhanced Product : OPA2171-EP

NOTE: Qualified Version Definitions:

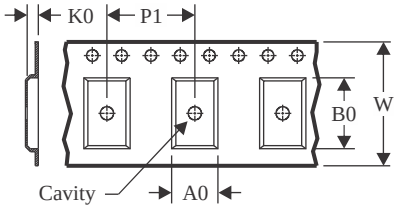
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

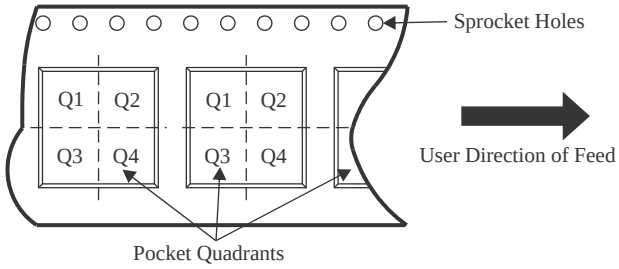


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

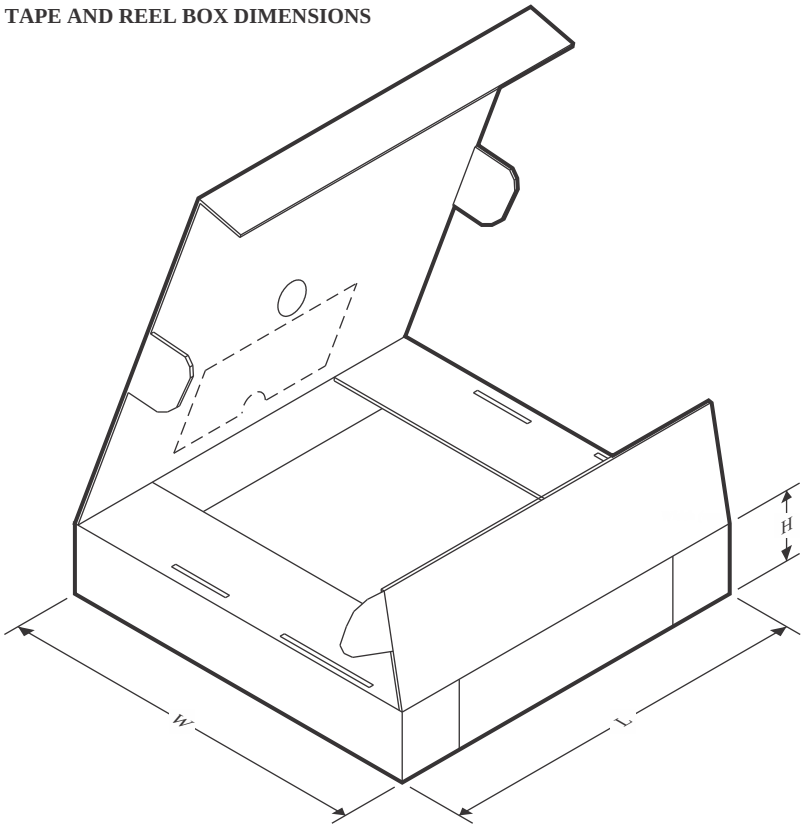


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA171AIDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA171AIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA171AIDBVR	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA171AIDBVRG4	SOT-23	DBV	5	3000	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA171AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.23	3.17	1.37	4.0	8.0	Q3
OPA171AIDBVT	SOT-23	DBV	5	250	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA171AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA171AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA171AIDRLR	SOT-5X3	DRL	5	4000	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
OPA171AIDRLT	SOT-5X3	DRL	5	250	180.0	8.4	1.98	1.78	0.69	4.0	8.0	Q3
OPA2171AIDCUR	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2171AIDCURG4	VSSOP	DCU	8	3000	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2171AIDCUT	VSSOP	DCU	8	250	180.0	8.4	2.25	3.35	1.05	4.0	8.0	Q3
OPA2171AIDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2171AIDGKRG4	VSSOP	DGK	8	2500	330.0	12.4	5.3	3.4	1.4	8.0	12.0	Q1
OPA2171AIDR	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2171AIDRG4	SOIC	D	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA4171AIDR	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4171AIDRG4	SOIC	D	14	2500	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
OPA4171AIPWR	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
OPA4171AIPWRG4	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS

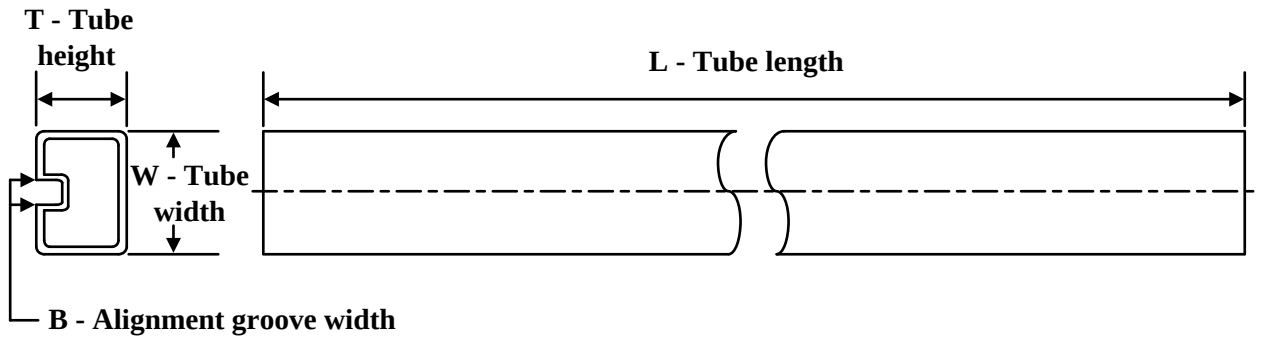


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA171AIDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
OPA171AIDBVR	SOT-23	DBV	5	3000	210.0	185.0	35.0
OPA171AIDBVR	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA171AIDBVRG4	SOT-23	DBV	5	3000	213.0	191.0	35.0
OPA171AIDBVT	SOT-23	DBV	5	250	223.0	270.0	35.0
OPA171AIDBVT	SOT-23	DBV	5	250	210.0	185.0	35.0
OPA171AIDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA171AIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA171AIDRLR	SOT-5X3	DRL	5	4000	202.0	201.0	28.0
OPA171AIDRLT	SOT-5X3	DRL	5	250	202.0	201.0	28.0
OPA2171AIDCUR	VSSOP	DCU	8	3000	202.0	201.0	28.0
OPA2171AIDCURG4	VSSOP	DCU	8	3000	202.0	201.0	28.0
OPA2171AIDCUT	VSSOP	DCU	8	250	202.0	201.0	28.0
OPA2171AIDGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2171AIDGKRG4	VSSOP	DGK	8	2500	353.0	353.0	32.0
OPA2171AIDR	SOIC	D	8	2500	353.0	353.0	32.0
OPA2171AIDRG4	SOIC	D	8	2500	353.0	353.0	32.0
OPA4171AIDR	SOIC	D	14	2500	353.0	353.0	32.0

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA4171AIDRG4	SOIC	D	14	2500	353.0	353.0	32.0
OPA4171AIPWR	TSSOP	PW	14	2000	353.0	353.0	32.0
OPA4171AIPWRG4	TSSOP	PW	14	2000	353.0	353.0	32.0

TUBE



*All dimensions are nominal

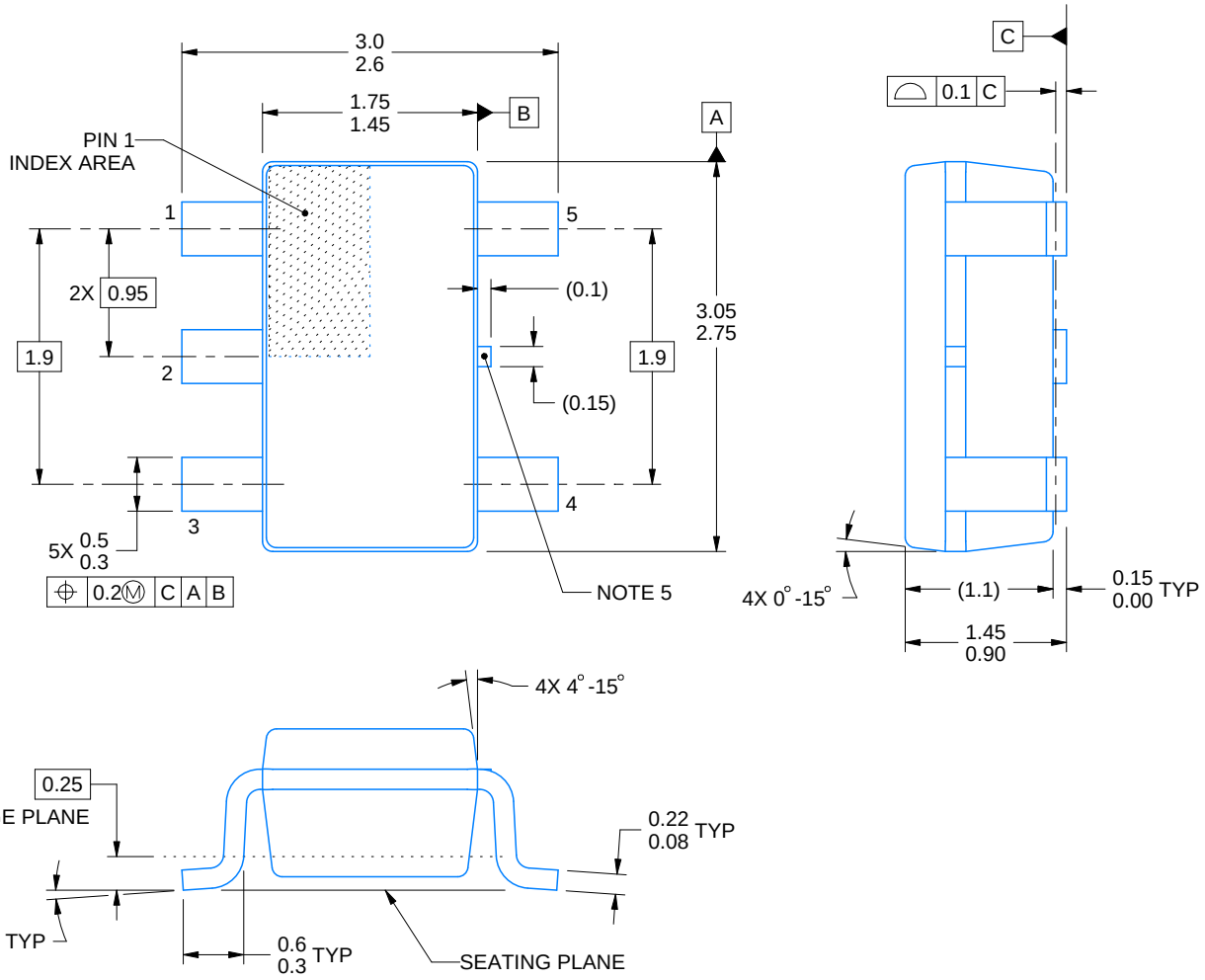
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
OPA171AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA171AID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA2171AID	D	SOIC	8	75	506.6	8	3940	4.32
OPA2171AID.A	D	SOIC	8	75	506.6	8	3940	4.32
OPA2171AIDGK	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA2171AIDGK.A	DGK	VSSOP	8	80	330	6.55	500	2.88
OPA4171AID	D	SOIC	14	50	506.6	8	3940	4.32
OPA4171AID.A	D	SOIC	14	50	506.6	8	3940	4.32
OPA4171AIPW	PW	TSSOP	14	90	530	10.2	3600	3.5
OPA4171AIPW.A	PW	TSSOP	14	90	530	10.2	3600	3.5

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

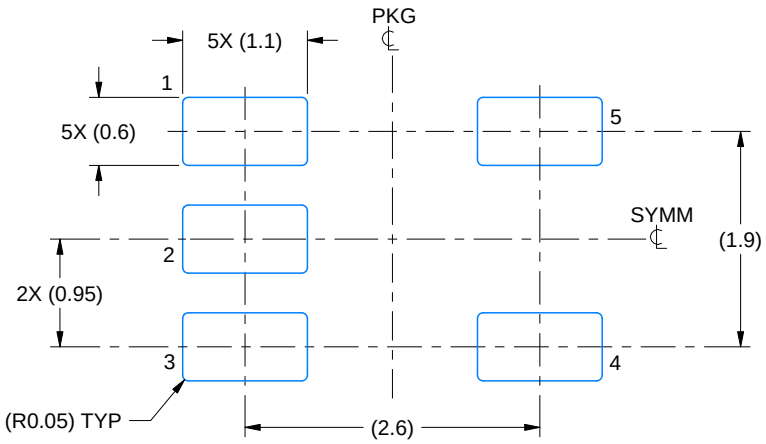
SMALL OUTLINE TRANSISTOR



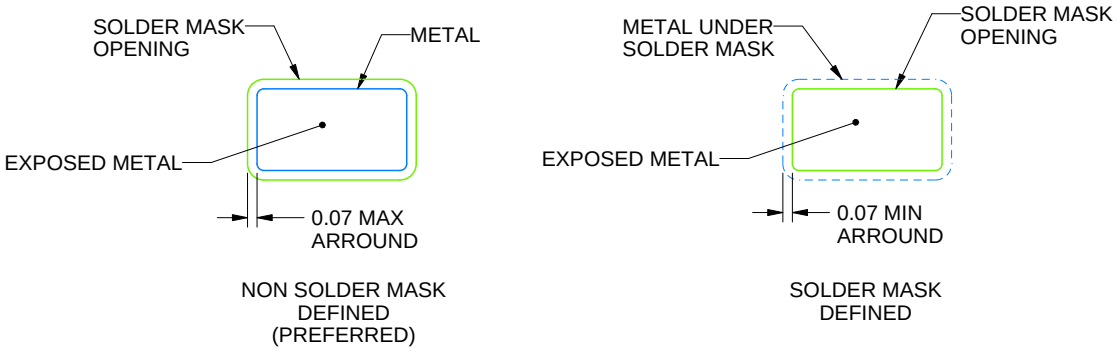
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

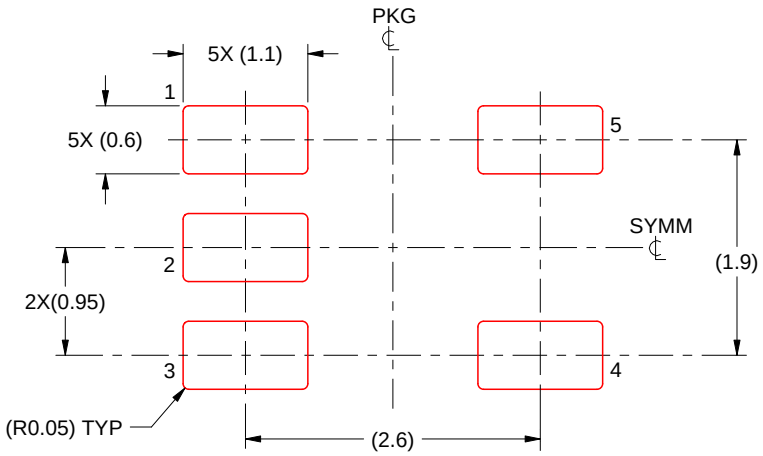


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

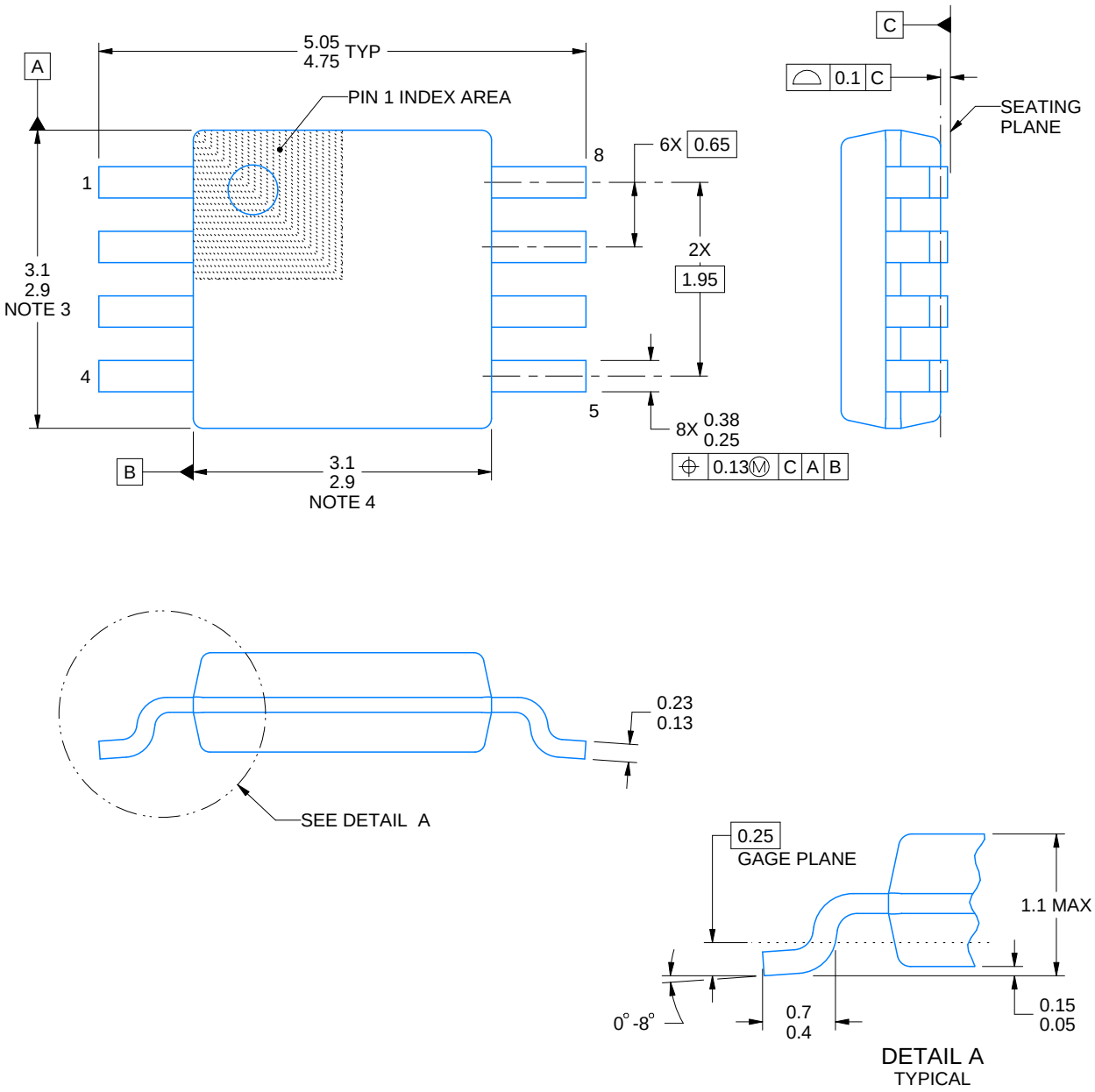
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

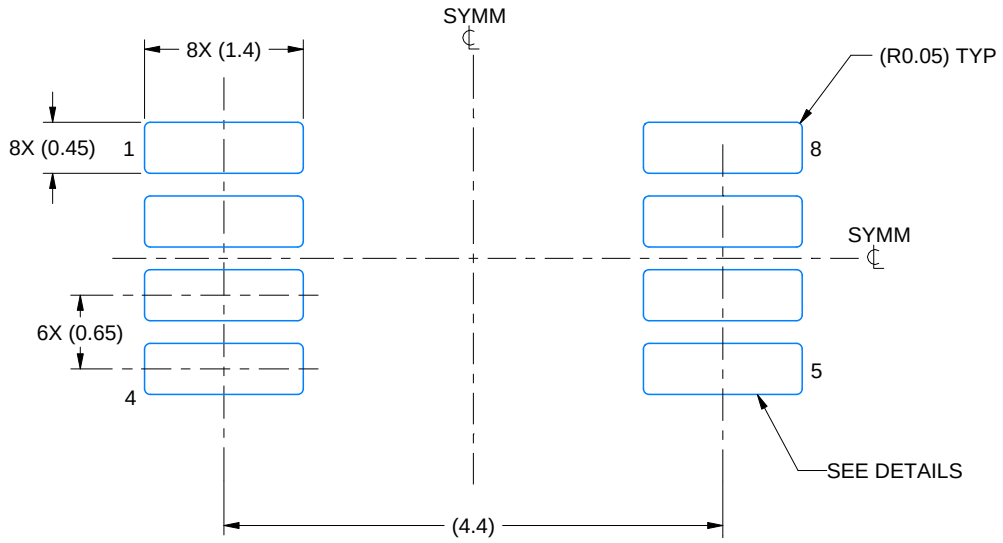
SMALL OUTLINE PACKAGE



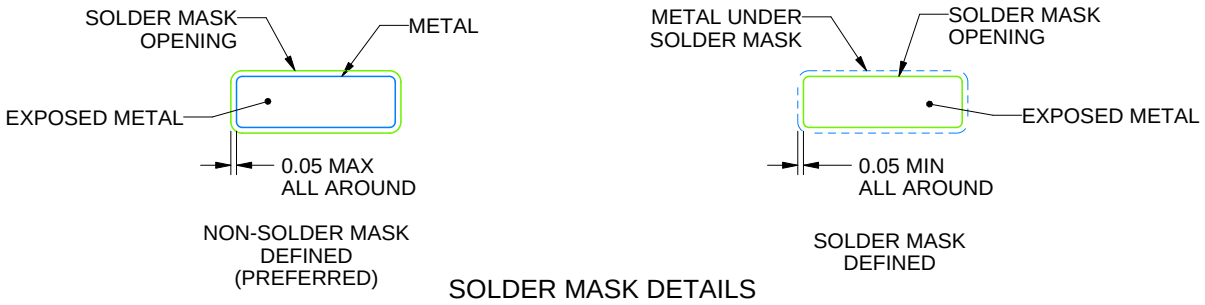
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

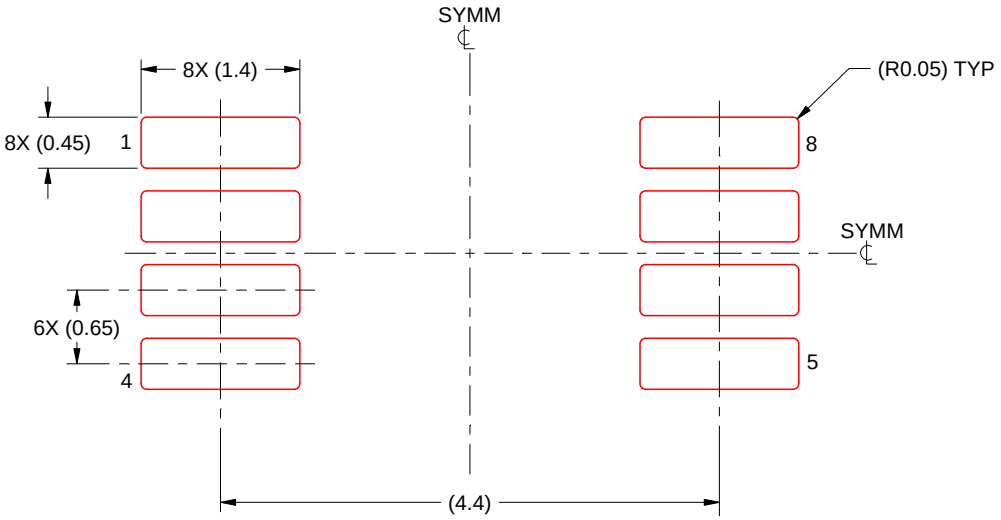


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

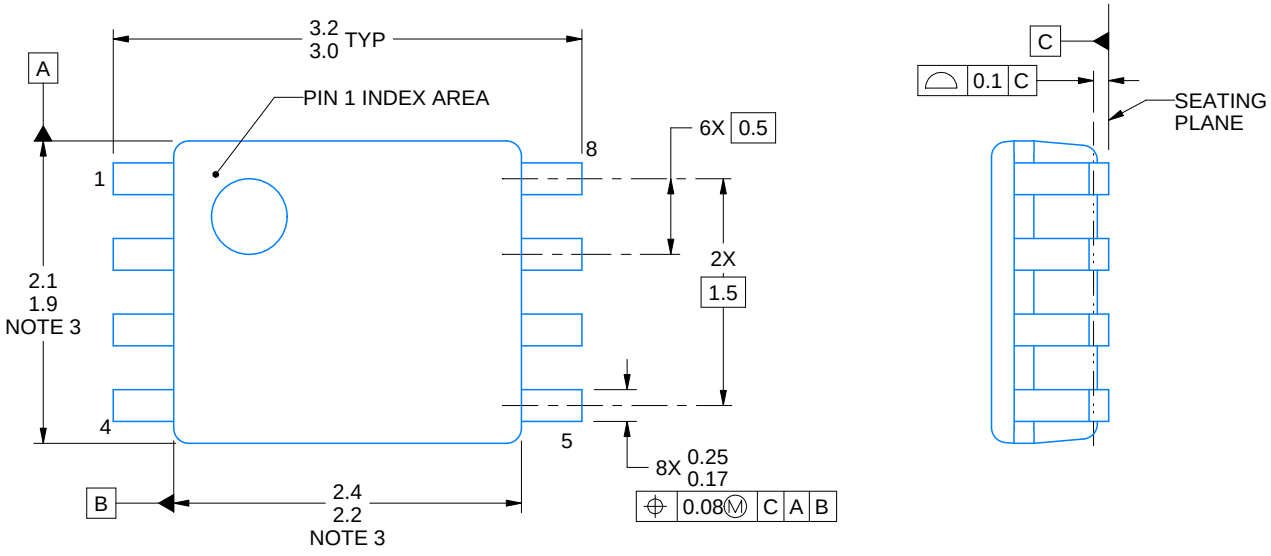
DCU0008A

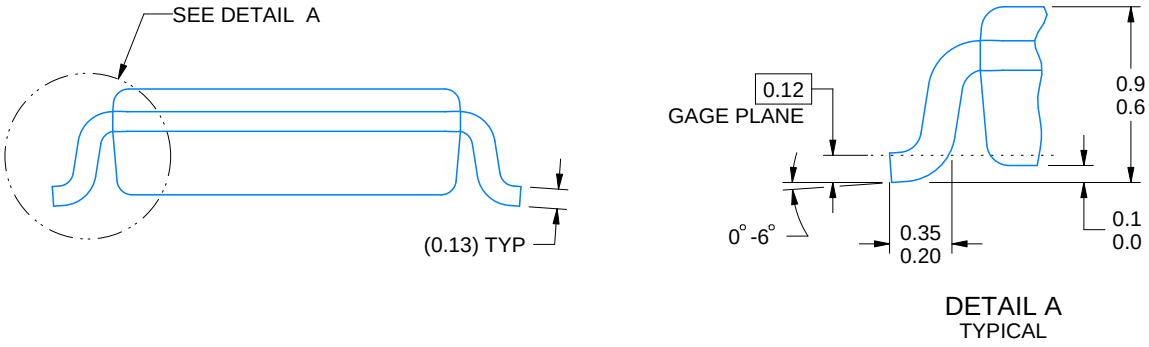


PACKAGE OUTLINE

VSSOP - 0.9 mm max height

SMALL OUTLINE PACKAGE

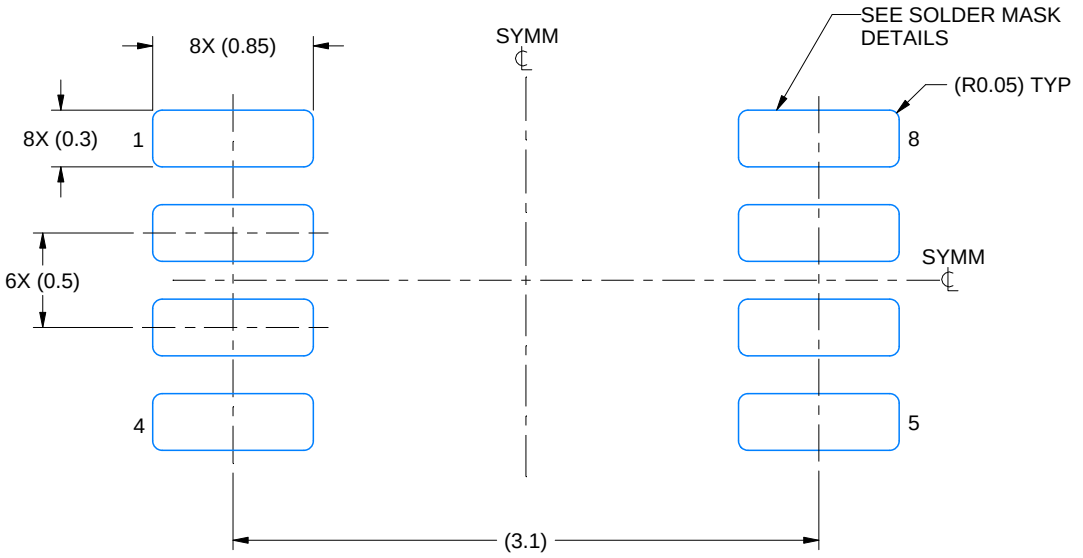




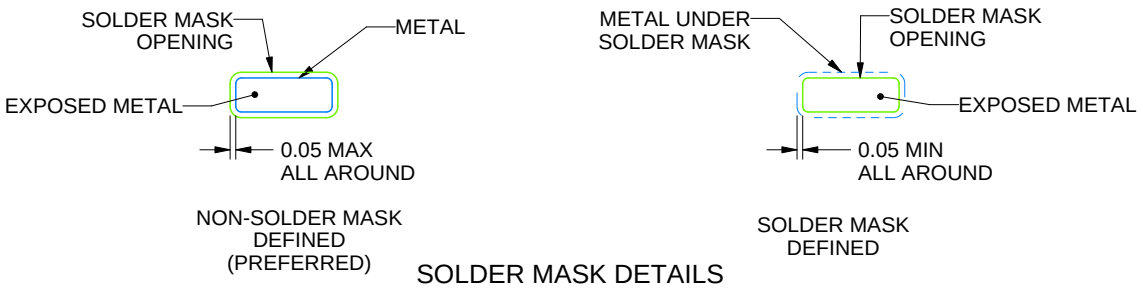
4225266/A 09/2014

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-187 variation CA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 25X

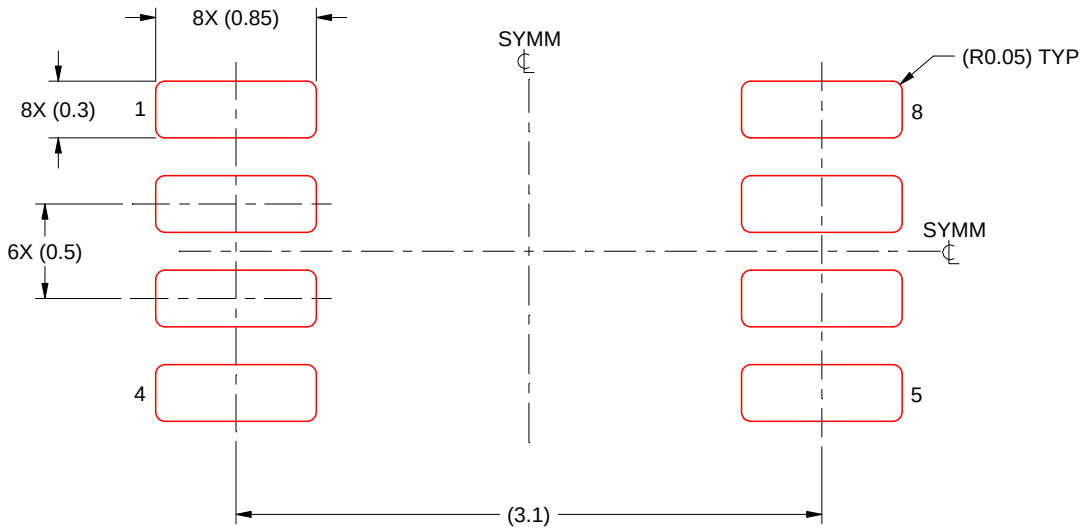


SOLDER MASK DETAILS

4225266/A 09/2014

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 25X

4225266/A 09/2014

NOTES: (continued)

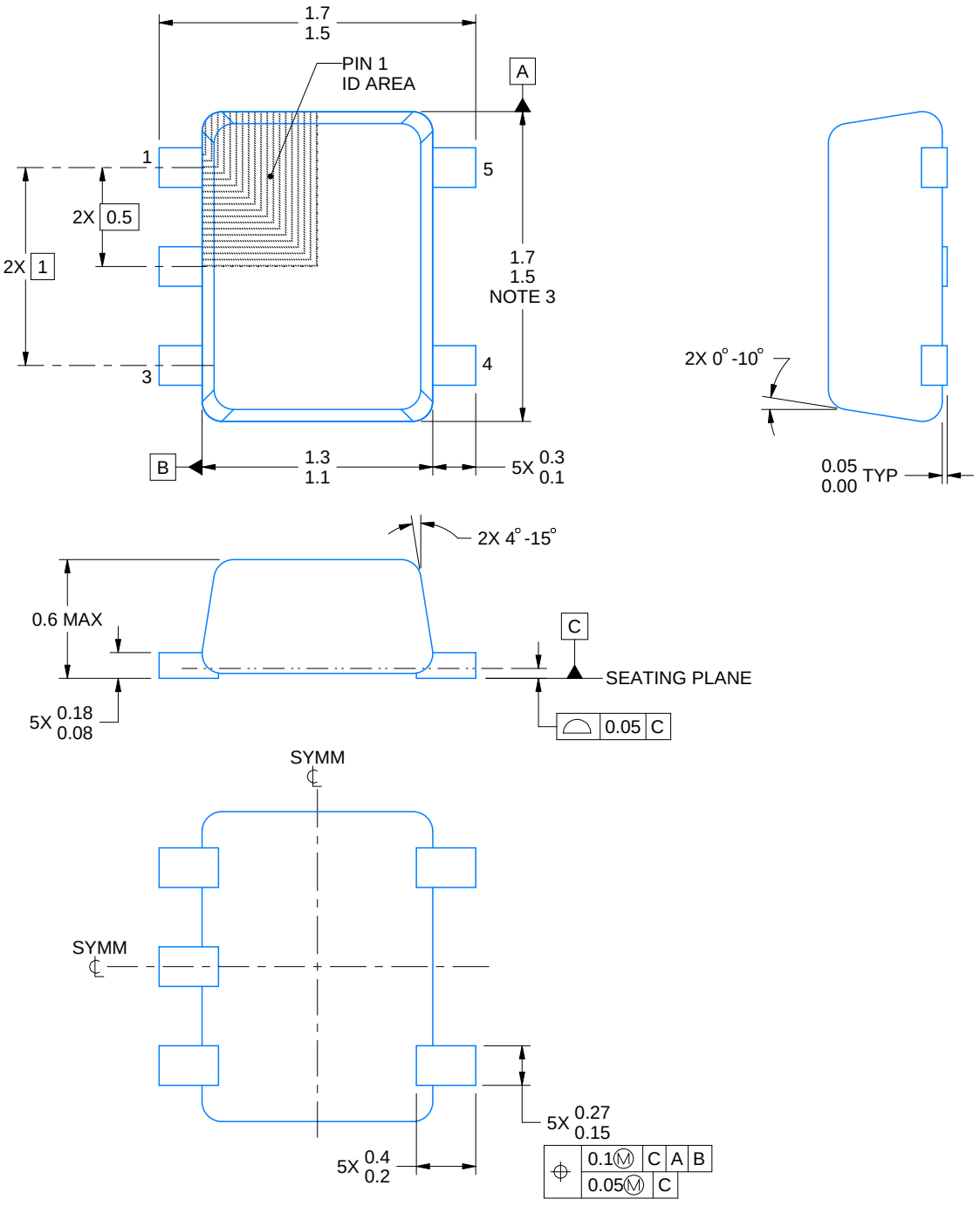
7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DRL0005A

SOT - 0.6 mm max height

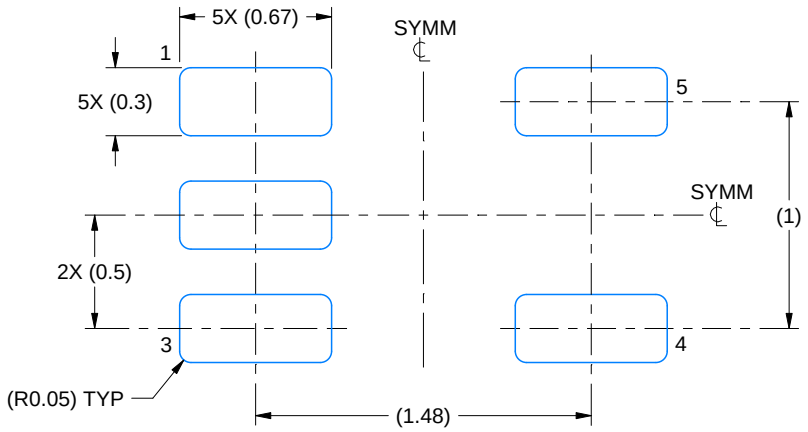
PLASTIC SMALL OUTLINE



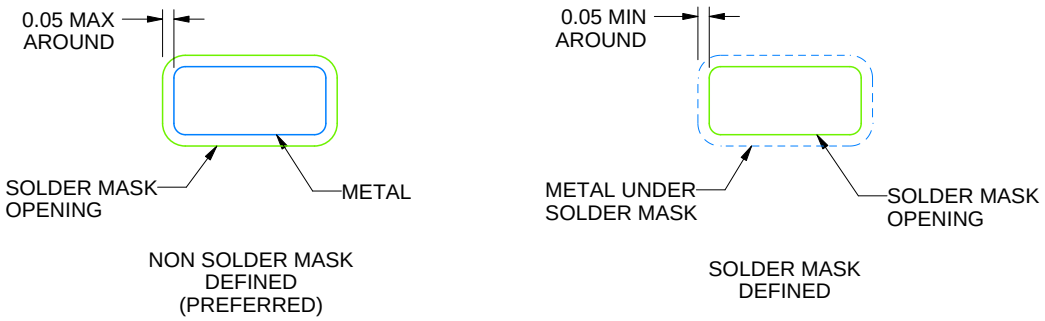
4220753/E 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-293 Variation UAAD-1



LAND PATTERN EXAMPLE
SCALE:30X

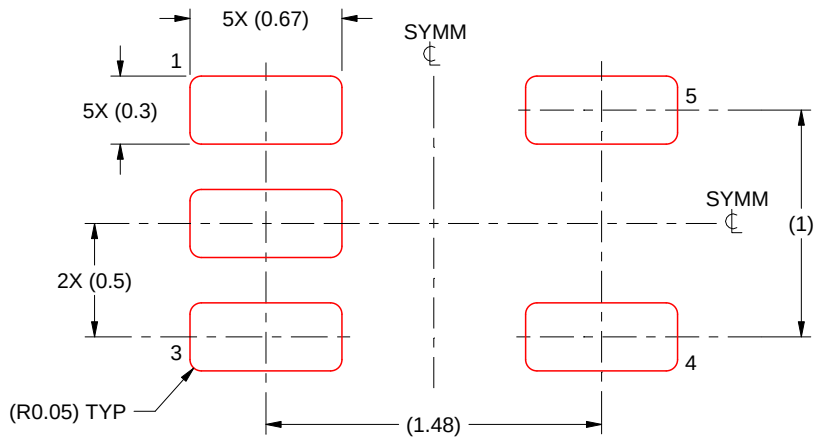


SOLDERMASK DETAILS

4220753/E 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

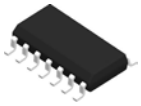


SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL
SCALE:30X

4220753/E 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

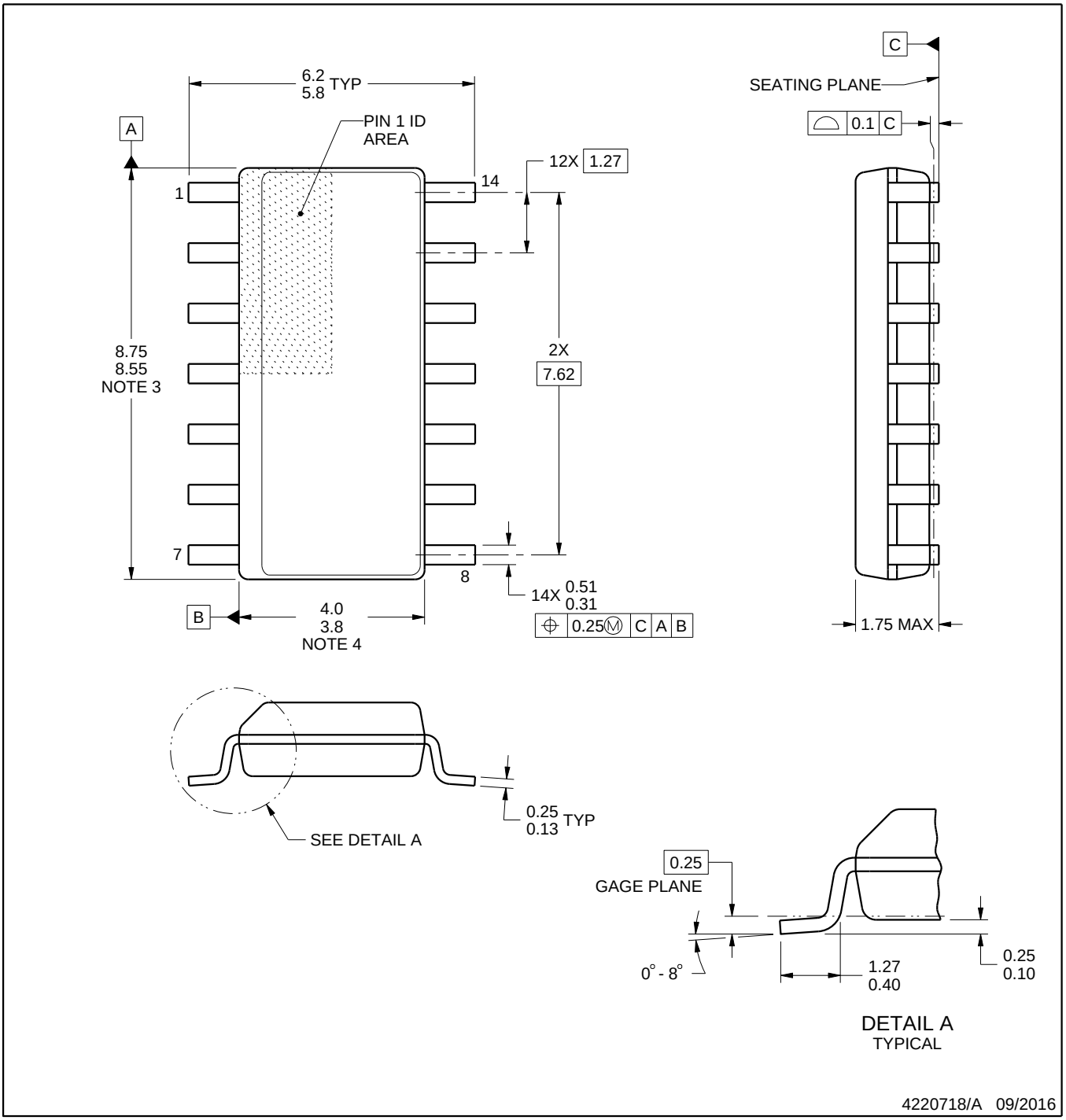


PACKAGE OUTLINE

D0014A

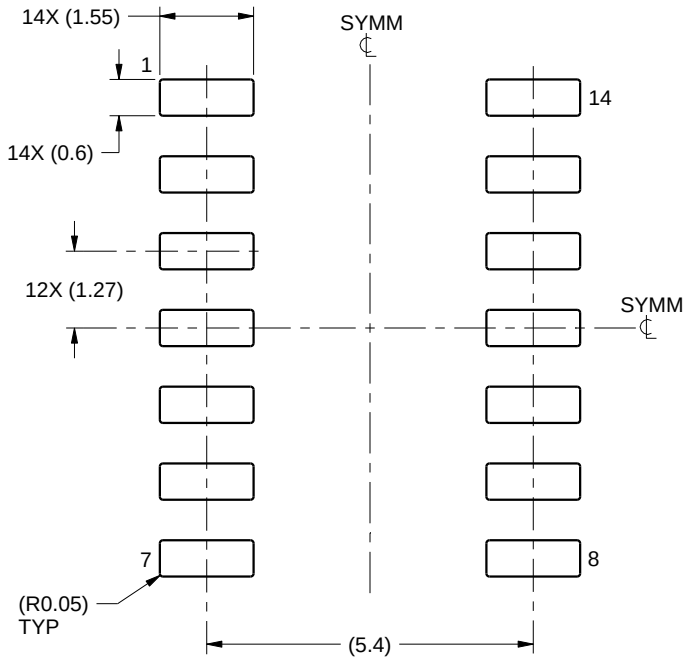
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

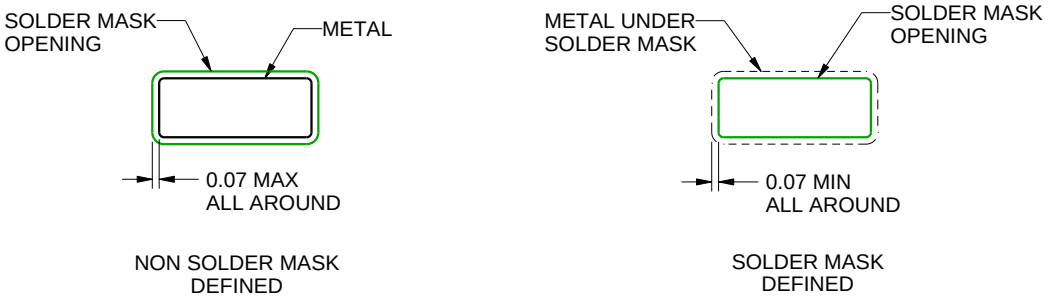


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

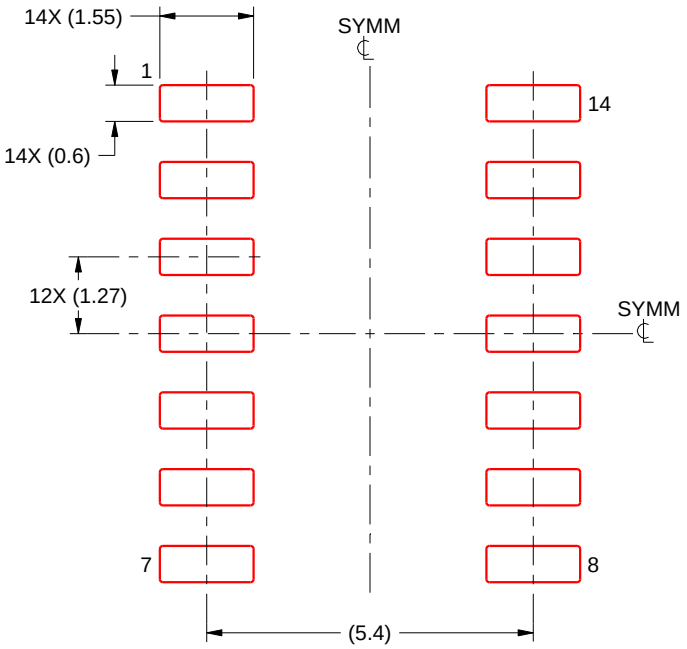
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

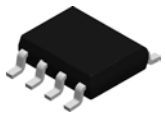


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

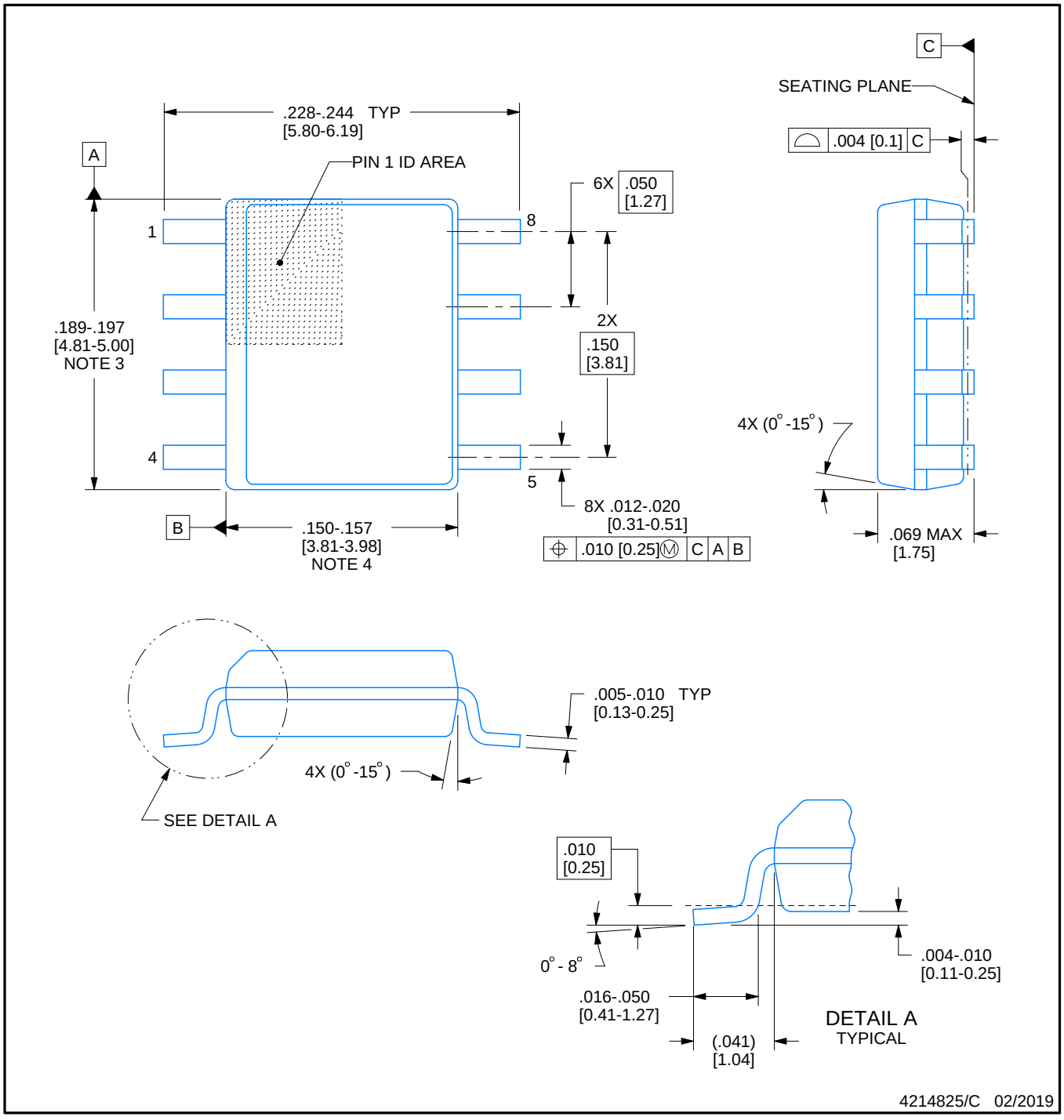


PACKAGE OUTLINE

D0008A

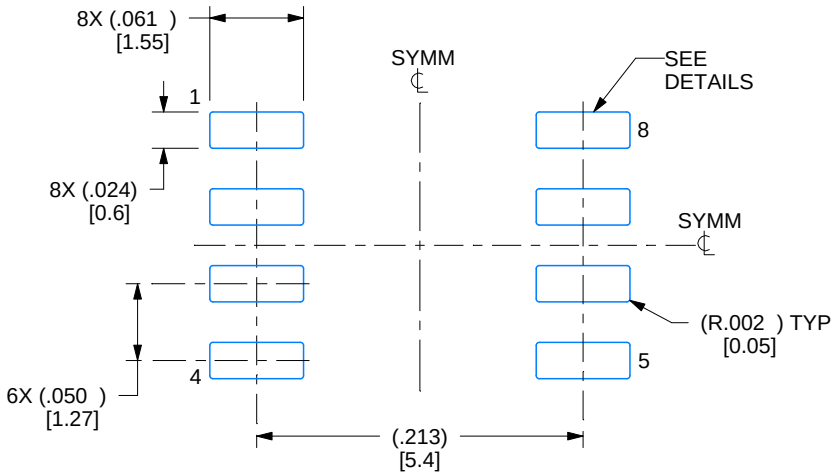
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

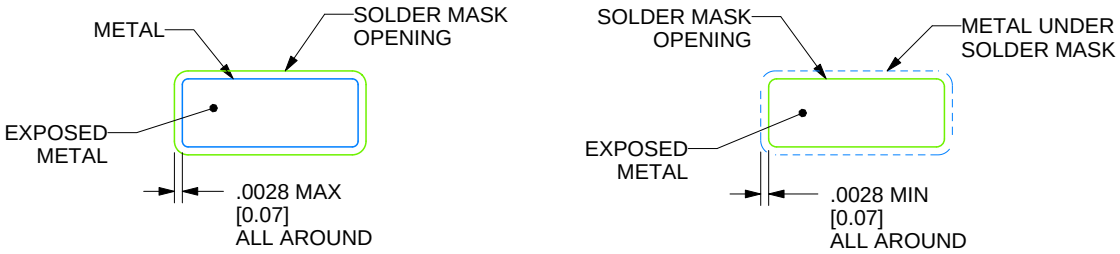


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

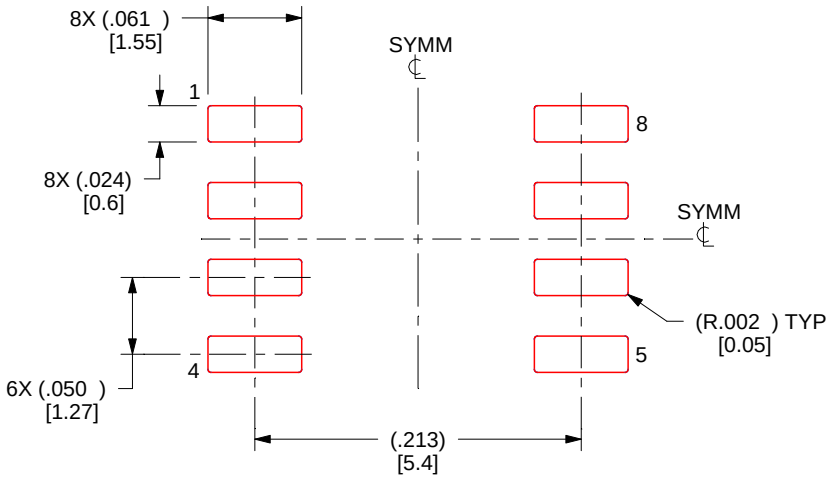
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

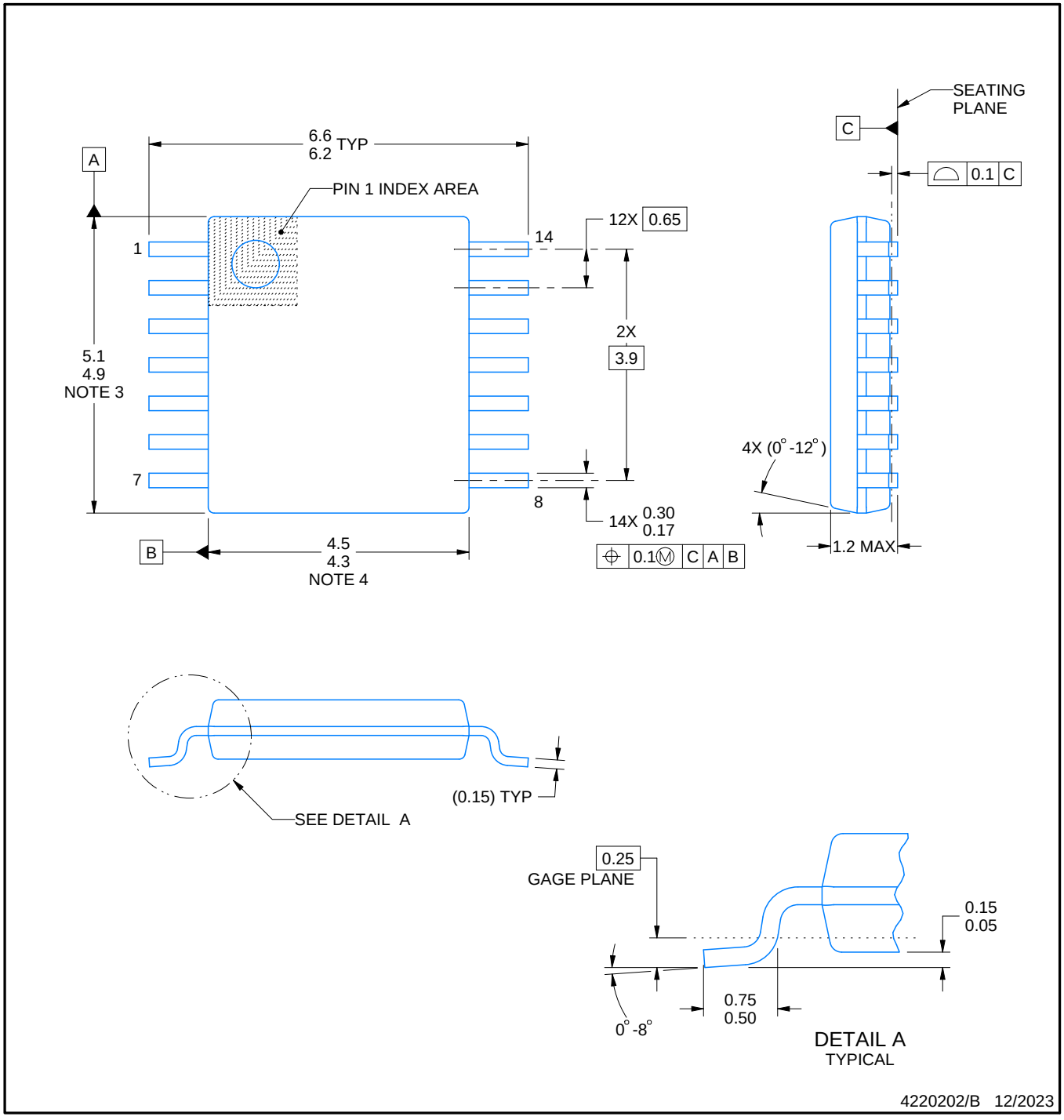
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0014A

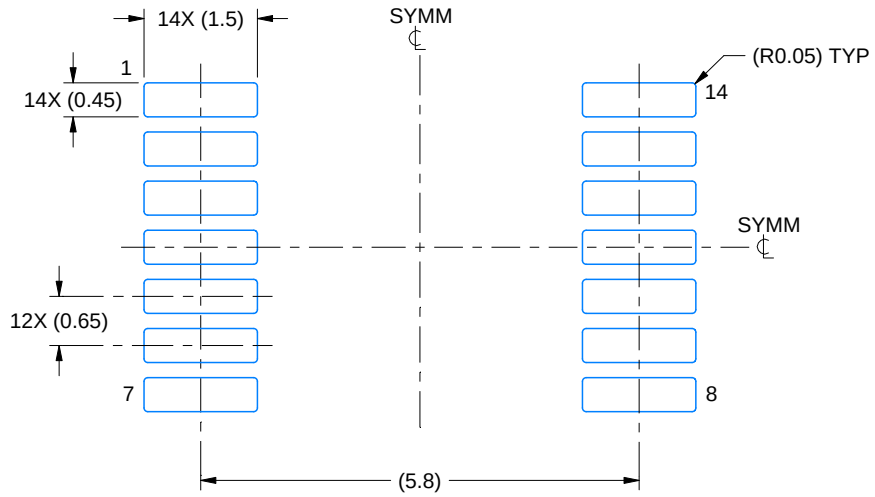
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

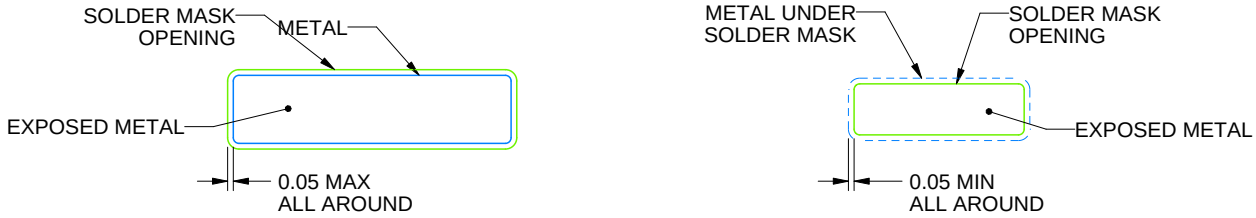


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

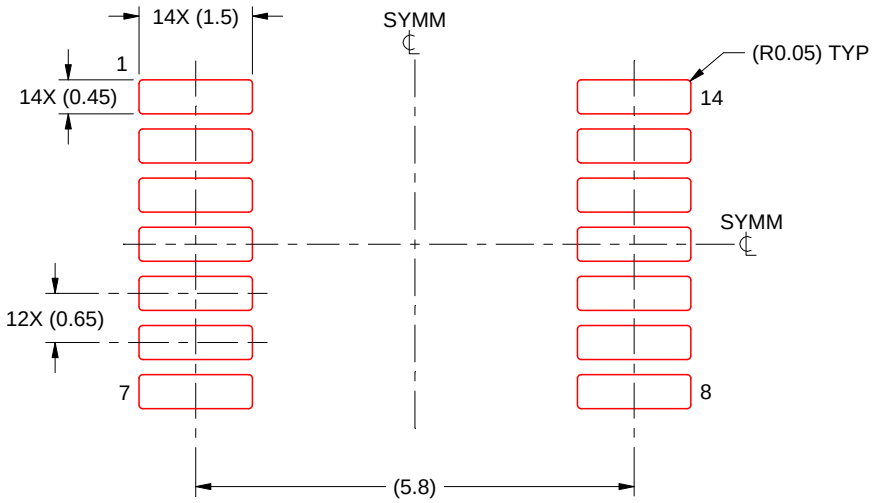


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月