

SNx4AHCT595 具有三态输出寄存器的 8 位移位寄存器

1 特性

- 输入兼容 TTL 电压
- 8 位串行输入、并行输出移位寄存器
- 移位寄存器具有直接清除功能
- 闩锁性能超过 100mA，符合 JESD 78 II 类规范
- ESD 保护性能超过 JESD 22 规范要求：
 - 2000V 人体放电模型 (A114-A)
 - 200V 机器放电模型 (A115-A)
 - 1000V 充电器件模型 (C101)

2 应用

- 网络交换机
- 电力基础设施
- PC 和笔记本电脑
- LED 显示屏
- 服务器

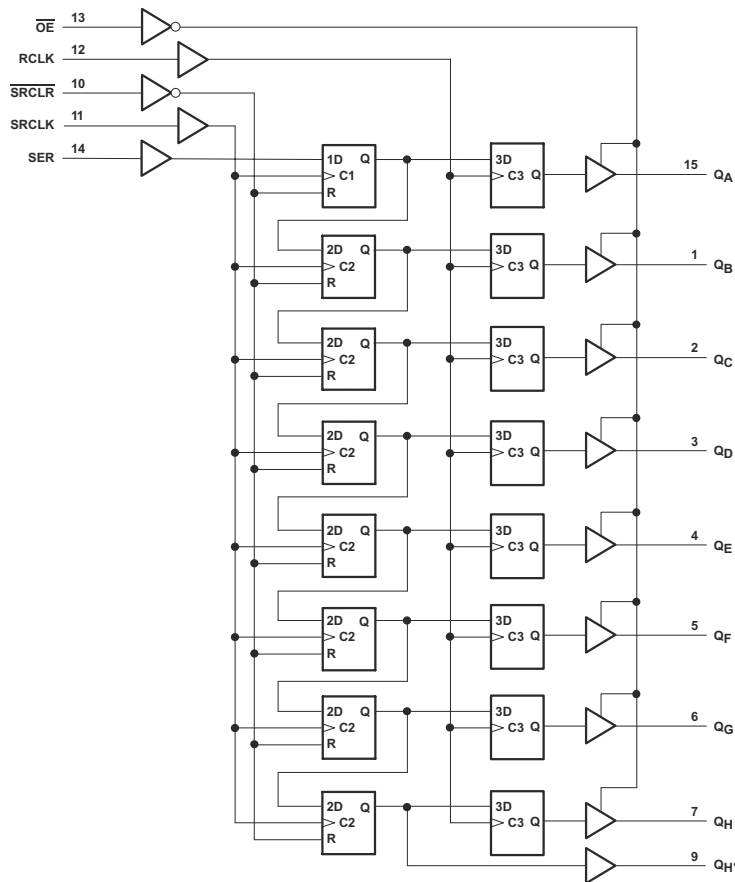
3 说明

SNx4AHCT595 器件包含可对 8 位 D 类存储寄存器进行馈送的 8 位串行输入、并行输出移位寄存器。移位寄存器时钟 (SRCLK) 和存储寄存器时钟 (RCLK) 均为正边沿触发。

封装信息

器件型号	封装 ⁽¹⁾	封装尺寸 ⁽²⁾	本体尺寸 (标称值) ⁽³⁾
SNx4AHCT595	BQB (WQFN , 16)	3.5mm x 2.5mm	3.5mm x 2.5mm
	PW (TSSOP , 16)	5.0mm x 6.4mm	5.0mm x 4.4mm

- (1) 有关更多信息，请参阅节 11。
- (2) 封装尺寸 (长 × 宽) 为标称值，并包括引脚 (如适用)。
- (3) 本体尺寸 (长 × 宽) 为标称值，不包括引脚。



所示引脚编号适用于 PW 和 BQB 封装。

简化原理图



内容

1 特性	1	7.2 功能方框图	10
2 应用	1	7.3 特性说明	10
3 说明	1	7.4 器件功能模式	11
4 引脚配置和功能	3	8 应用和实施	12
5 规格	4	8.1 应用信息	12
5.1 绝对最大额定值.....	4	8.2 典型应用	12
5.2 ESD 等级.....	4	8.3 电源相关建议	13
5.3 建议运行条件.....	4	8.4 布局	13
5.4 热性能信息.....	5	9 器件和文档支持	14
5.5 电气特性.....	5	9.1 接收文档更新通知	14
5.6 时序特性.....	5	9.2 支持资源	14
5.7 开关特性.....	7	9.3 商标	14
5.8 噪声特性.....	7	9.4 静电放电警告	14
5.9 典型特性.....	8	9.5 术语表	14
6 参数测量信息	9	10 修订历史记录	14
7 详细说明	10	11 机械、封装和可订购信息	14
7.1 概述.....	10		

4 引脚配置和功能

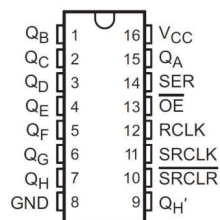


图 4-1.

SN74AHCT595-Q1 PW 封装 (顶视图)

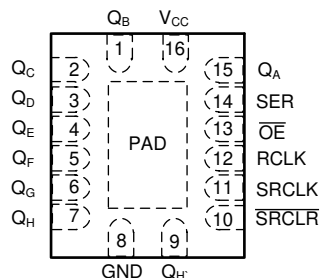


图 4-2. SN74AHCT595-Q1 BQB 封装, 16 引脚
WQFN (顶视图)

表 4-1. 引脚功能

引脚		类型 ⁽¹⁾	说明
名称	编号		
Q _B	1	O	Q _B 输出
Q _C	2	O	Q _C 输出
Q _D	3	O	Q _D 输出
Q _E	4	O	Q _E 输出
Q _F	5	O	Q _F 输出
Q _G	6	O	Q _G 输出
Q _H	7	O	Q _H 输出
GND	8	—	接地引脚
Q _H '	9	O	Q _H 输出
SRCLR	10	I	SRCLR 输入
SRCLK	11	I	SRCLK 输入
RCLK	12	I	RCLK 输入
OE	13	I	输出使能
SER	14	I	SER 输入
Q _A	15	O	Q _A 输出
V _{CC}	16	—	电源引脚
散热焊盘 ⁽²⁾		—	散热焊盘可连接到 GND 或悬空。请勿连接到任何其他信号或电源。

(1) I = 输入, O = 输出

(2) 仅限 BQB 封装

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）⁽¹⁾

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	7	V
V_I	输入电压范围 ⁽²⁾		-0.5	7	V
V_O	在高阻抗或断电状态对任一输出施加的电压范围 ⁽²⁾		-0.5	7	V
V_O	输出电压范围 ⁽²⁾		-0.5	$V_{CC}+0.5$	V
I_{IK}	输入钳位电流	$V_I < -0.5V$		-20	mA
I_{OK}	输出钳位电流	$V_O < -0.5V$ 或 $V_O > V_{CC} + 0.5V$		± 20	mA
I_O	持续输出电流	$V_O = 0$ 至 V_{CC}		± 25	mA
	通过 V_{CC} 或 GND 的持续输出电流			± 75	mA
T_J	结温			150	°C
T_{stg}	贮存温度		-65	150	°C

- (1) 超出绝对最大额定值运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果在建议运行条件之外但在绝对最大额定值范围内短暂运行，器件可能不会受到损坏，但可能无法完全正常工作。以这种方式运行器件可能会影响器件的可靠性、功能和性能，并缩短器件寿命。
- (2) 如果遵守输入和输出电流额定值，输入和输出电压可超过额定值。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V

- (1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

规格	说明	条件	最小值	最大值	单位
V_{CC}	电源电压		4.5	5.5	V
V_{IH}	高电平输入电压	$V_{CC} = 5V$	2		V
V_{IL}	低电平输入电压	$V_{CC} = 5V$		0.8	V
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	$V_{CC}=5V \pm 0.5V$		-8	mA
I_{OL}	低电平输出电流	$V_{CC}=5V \pm 0.5V$		8	mA
$\Delta t/\Delta v$	输入转换上升或下降速率	$V_{CC} = 5V \pm 0.5V$		20	ns/V
T_A	自然通风条件下的工作温度范围		-40	125	°C

5.4 热性能信息

热性能指标 ⁽¹⁾		SN74AHCT595						单位
		BQB (WQFN)	D (SOIC)	DB (SSOP)	N (PDIP)	NS (SOP)	PW (TSSOP)	
		16 引脚						
R _{θJA}	结至环境热阻	91.8	93.8	97.5	47.5	126.2	135.9	°C/W
R _{θJC(top)}	结至外壳 (顶部) 热阻	87.7	54.7	47.7	34.9	68.7	70.3	
R _{θJB}	结至电路板热阻	61.6	50.9	48.1	27.5	77.3	81.3	
ψ _{JT}	结至顶部特征参数	11.9	20.8	9.8	19.8	22.3	22.5	
ψ _{JB}	结至电路板特征参数	61.4	50.7	47.6	27.4	76.9	80.8	
R _{θJC(bot)}	结至外壳 (底部) 热阻	39.4	不适用	不适用	不适用	不适用	不适用	

(1) 有关新旧热指标的更多信息, 请参阅 *IC 封装热指标* 应用报告 [SPRA953](#)。

5.5 电气特性

在自然通风条件下的工作温度范围内测得 (除非另有说明)

参数	测试条件	V_{CC}	$T_A = 25^\circ\text{C}$			-40°C 至 125°C			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
V_{OH}	$I_{OH} = -50\ \mu\text{A}$	4.5V	4.4	4.5		4.4			V
	$I_{OH} = -8\text{mA}$	4.5V	3.94			3.8			
V_{OL}	$I_{OL} = 50\ \mu\text{A}$	4.5V			0.1			0.1	V
	$I_{OL} = 8\text{mA}$	4.5V			0.36			0.44	
I_I	$V_I = 5.5\text{V}$ 或 GND 并且 $V_{CC} = 0\text{V}$ 至 5.5V	0V 至 5.5V			± 0.1			± 1	μA
I_{OZ}	$V_O = V_{CC}$ 或 GND 且 $V_{CC} = 5.5\text{V}$	5.5V			± 0.25			± 2.5	μA
I_{CC}	$V_I = V_{CC}$ 或 GND, $I_O = 0$, $V_{CC} = 5.5\text{V}$	5.5V			4			40	μA
ΔI_{CC}	一个输入电压为 3.4V, 其他输入电压为 V_{CC} 或 GND	5V			1.35			1.5	mA
C_I	$V_I = V_{CC}$ 或 GND	5V		4	10			10	pF
C_O	$V_O = V_{CC}$ 或 GND	5V		5					pF
C_{PD}	空载, $F = 1\text{MHz}$	5V		129					pF

5.6 时序特性

在自然通风条件下的建议运行温度范围内测得 (除非另有说明)

参数	说明	条件	V_{CC}	$T_A = 25^\circ\text{C}$		-40°C 至 125°C		单位
				最小值	最大值	最小值	最大值	
t_H	保持时间	SER 在 SRCLK $\uparrow$ 之后	$5\text{V} \pm 0.5\text{V}$	2		2		ns
t_{SU}	设置时间	SER 在 SRCLK $\uparrow$ 之前	$5\text{V} \pm 0.5\text{V}$	3		3		ns
t_{SU}	设置时间	SRCLK $\uparrow$ 在 RCLK $\uparrow$ 之前	$5\text{V} \pm 0.5\text{V}$	5		5		ns
t_{SU}	设置时间	SRCLR 在 SRCLK $\uparrow$ 之前为高电平 (无效)	$5\text{V} \pm 0.5\text{V}$	2.9		3.8		ns
t_{SU}	设置时间	SRCLR 在 RCLK $\uparrow$ 之前为低电平	$5\text{V} \pm 0.5\text{V}$	5		5		ns
t_W	脉冲持续时间	RCLK 或 SRCLK 为高电平或低电平	$5\text{V} \pm 0.5\text{V}$	5		5.5		ns

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	说明	条件	V _{CC}	T _A = 25°C		-40°C 至 125°C		单位
				最小值	最大值	最小值	最大值	
t _w	脉冲持续时间	SRCLR 为低电平	5V ± 0.5V	5		5.5		ns

5.7 开关特性

在自然通风条件下的工作温度范围内测得（除非另有说明）。请参阅参数测量信息。

参数	从 (输入)	到 (输出)	负载电容	V _{CC}	T _A = 25°C			-40°C 至 125°C			单位
					最小值	典型值	最大值	最小值	典型值	最大值	
F _{MAX}	-	-	C _L = 15pF	5V ± 0.5V	135	175		115			MHz
t _{PZL}	OE	Q	C _L = 15pF	5V ± 0.5V		5.4	8.6			12	ns
t _{PZH}	OE	Q	C _L = 15pF	5V ± 0.5V		4.3	8.6			12	ns
t _{PLZ}	OE	Q	C _L = 15pF	5V ± 0.5V		3.8	8	1		10.5	ns
t _{PHZ}	OE	Q	C _L = 15pF	5V ± 0.5V		3.8	8	1		10.5	ns
t _{PLH}	RCLK	QA-QH	C _L = 15pF	5V ± 0.5V		4.3	7.4	1		9.5	ns
t _{PHL}	RCLK	QA-QH	C _L = 15pF	5V ± 0.5V		4.3	7.4	1		9.5	ns
t _{PLH}	SRCLK	QH'	C _L = 15pF	5V ± 0.5V		4.5	8.2	1		10.4	ns
t _{PHL}	SRCLK	QH'	C _L = 15pF	5V ± 0.5V		4.5	8.2	1		10.4	ns
t _{PHL}	SRCLR	QH'	C _L = 15pF	5V ± 0.5V		4.5	8	1		10.1	ns
F _{MAX}	-	-	C _L = 50pF	5V ± 0.5V	120	140		95			MHz
t _{PZL}	OE	Q	C _L = 50pF	5V ± 0.5V		6.8	10.6			14.4	ns
t _{PZH}	OE	Q	C _L = 50pF	5V ± 0.5V		5.7	10.6			14.4	ns
t _{PLZ}	OE	Q	C _L = 50pF	5V ± 0.5V		3.4	10.3			13.2	ns
t _{PHZ}	OE	Q	C _L = 50pF	5V ± 0.5V		3.5	10.3			13.2	ns
t _{PLH}	RCLK	QA-QH	C _L = 50pF	5V ± 0.5V		5.6	9.4	1		11.5	ns
t _{PHL}	RCLK	QA-QH	C _L = 50pF	5V ± 0.5V		5.6	9.4	1		11.5	ns
t _{PLH}	SRCLK	QH'	C _L = 50pF	5V ± 0.5V		6.4	10.2	1		12.4	ns
t _{PHL}	SRCLK	QH'	C _L = 50pF	5V ± 0.5V		6.4	10.2	1		12.4	ns
t _{PHL}	SRCLR	QH'	C _L = 50pF	5V ± 0.5V		6.4	10	1		12.1	ns

5.8 噪声特性

V_{CC} = 5V, C_L = 50pF, T_A = 25°C

参数	说明	最小值	典型值	最大值	单位
V _{OL(P)}	安静输出, 最大动态 V _{OL}		0.2	0.8	V
V _{OL(V)}	安静输出, 最小动态 V _{OL}	-0.9	-0.2		V
V _{OH(V)}	安静输出, 最小动态 V _{OH}	4.4	4.7		V
V _{IH(D)}	高电平动态输入电压	2			V
V _{IL(D)}	低电平动态输入电压			0.8	V

5.9 典型特性

$T_A = 25^\circ\text{C}$ (除非另外注明)

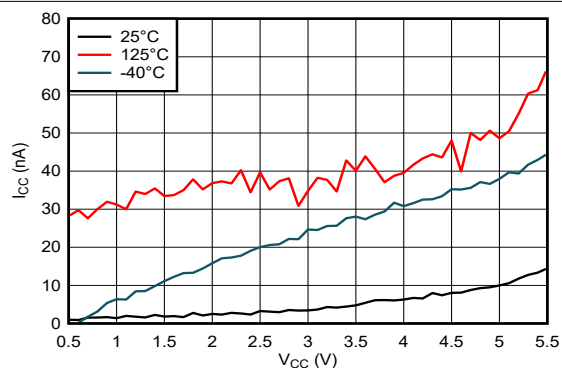


图 5-1. 电源电压两端的电源电流

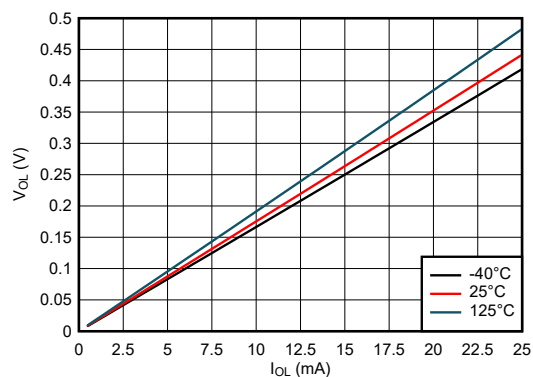
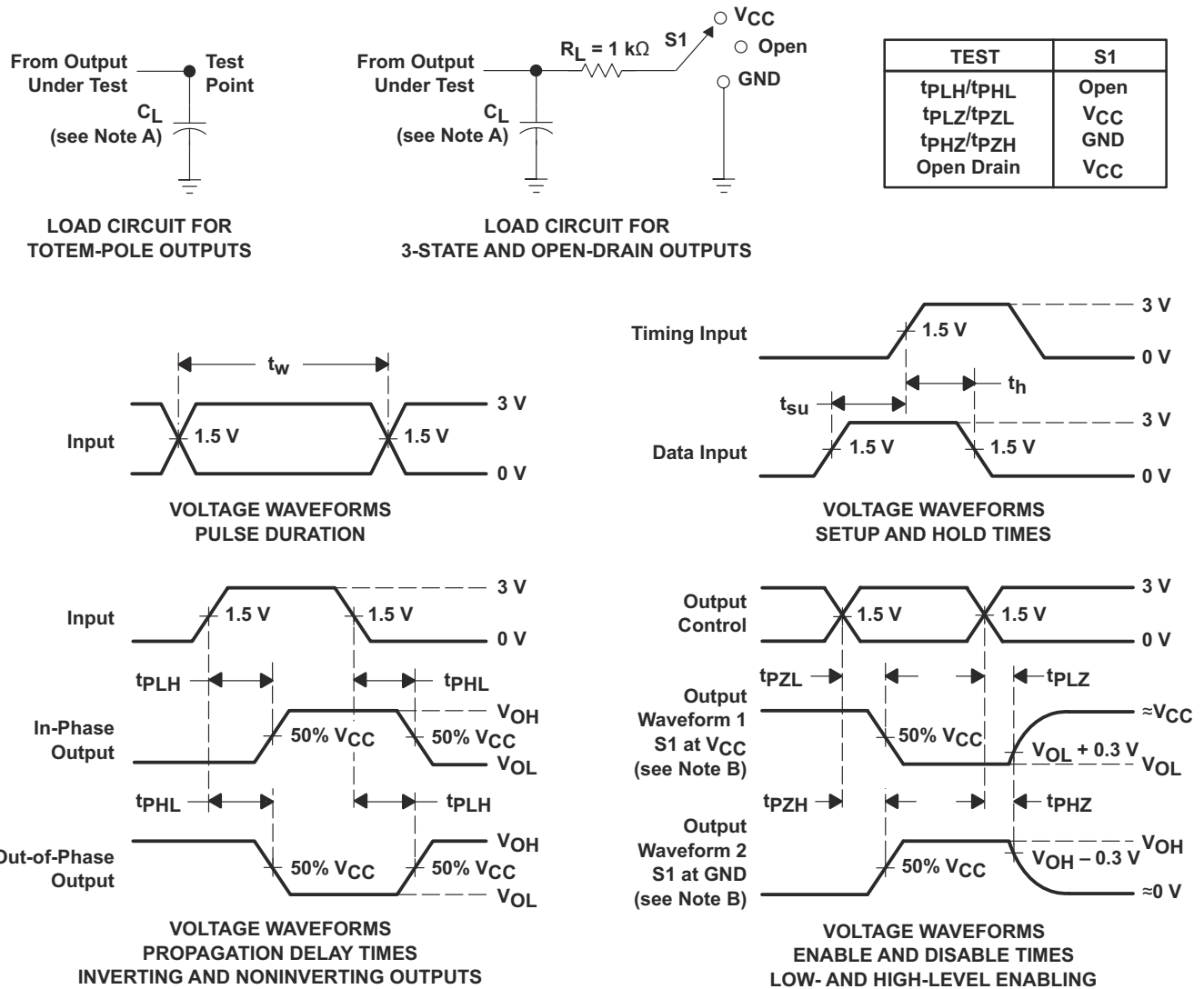


图 5-2. 低电平状态下输出电压与电流间的关系 (5V 电源)

6 参数测量信息



- NOTES: A. C_L includes probe and jig capacitance.
- B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
- C. All input pulses are supplied by generators having the following characteristics: $PRR \leq 1\text{ MHz}$, $Z_O = 50\ \Omega$, $t_r \leq 3\text{ ns}$, $t_f \leq 3\text{ ns}$.
- D. The outputs are measured one at a time, with one input transition per measurement.
- E. All parameters and waveforms are not applicable to all devices.

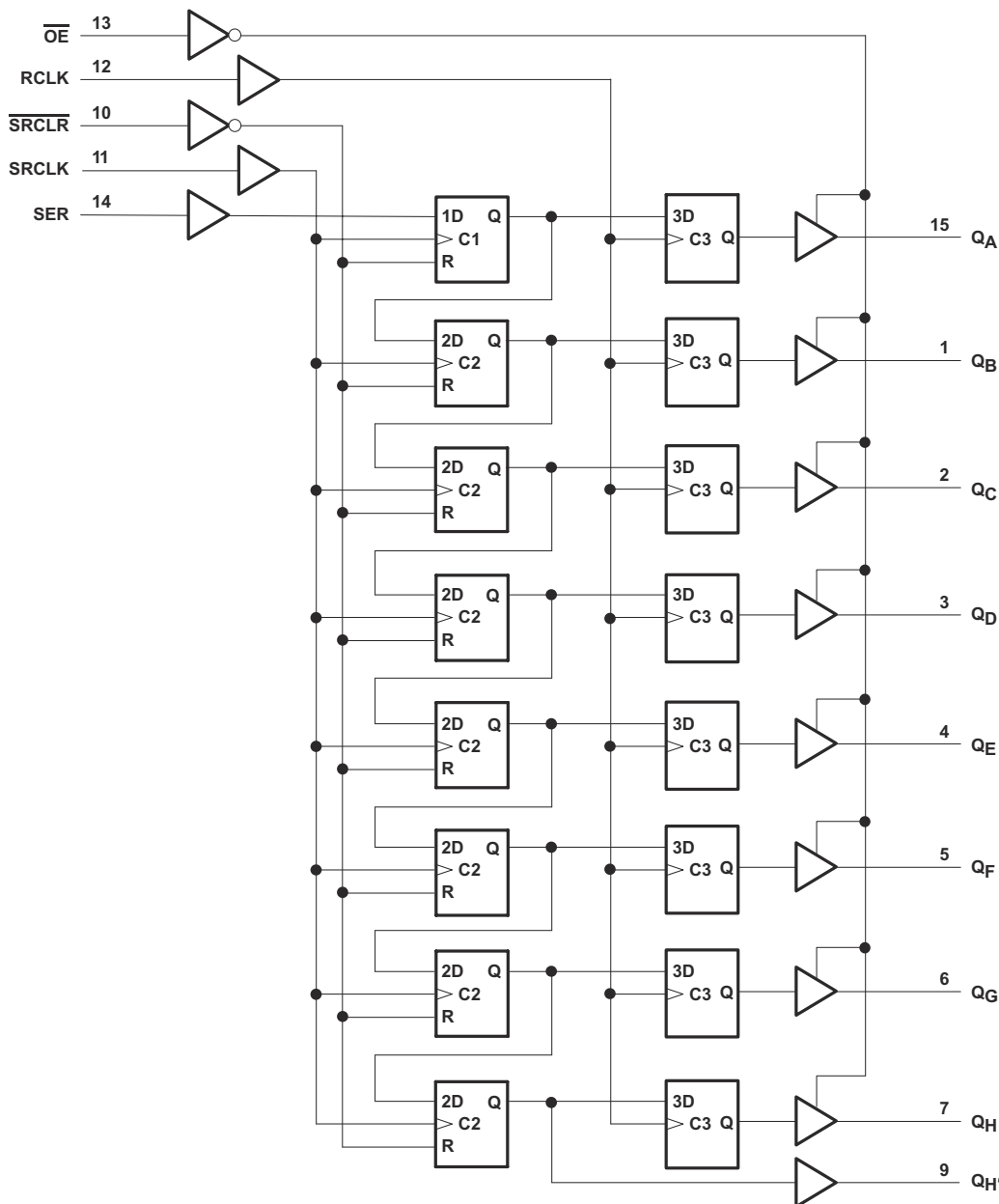
图 6-1. 负载电路和电压波形

7 详细说明

7.1 概述

SNx4AHCT595 器件包含可对 8 位 D 类存储寄存器进行馈送的 8 位串行输入、并行输出移位寄存器。存储寄存器具有并行三态输出。移位寄存器和存储寄存器均具有单独的时钟。移位寄存器具有一个直接覆盖清零 ($\overline{\text{SRCLR}}$) 输入以及用于级联结构的串行 (SER) 输入和串行输出。当输出使能 ($\overline{\text{OE}}$) 输入为高电平时，输出处于高阻抗状态。移位寄存器时钟 (SRCLK) 和存储寄存器时钟 (RCLK) 均为正边沿触发。如果将两个时钟连接在一起，则移位寄存器始终比存储寄存器早一个时钟脉冲。

7.2 功能方框图



所示引脚编号适用于 PW 和 BQB 封装。

7.3 特性说明

7.4 器件功能模式

表 7-1. 功能表

输入					功能
SER	SRCLK	SRCLR	RCLK	OE	
X	X	X	X	H	输出 $Q_A - Q_H$ 被禁用。
X	X	X	X	L	输出 $Q_A - Q_H$ 被启用。
X	X	L	X	X	移位寄存器清零。
L	↑	H	X	X	移位寄存器的第一级变为低电平。 其他级分别存储前一级的数据。
H	↑	H	X	X	移位寄存器的第一级变为高电平。 其他级分别存储前一级的数据。
X	X	X	↑	X	移位寄存器数据存储在存储寄存器中。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

8.1 应用信息

SNx4AHCT595 是一款低驱动 CMOS 器件，可用于需要考虑输出振铃的多种总线接口类型应用。低驱动和慢速边沿速率将更大幅度地减少输出上的过冲和下冲。输入开关电平已降低，以适应 $0.8V_{IL}$ 和 $2V_{IH}$ 的 TTL 输入。此特性使得该器件非常适合用于从 3.3V 到 5V 进行升压转换。图 8-1 显示了此类型的转换。

8.2 典型应用

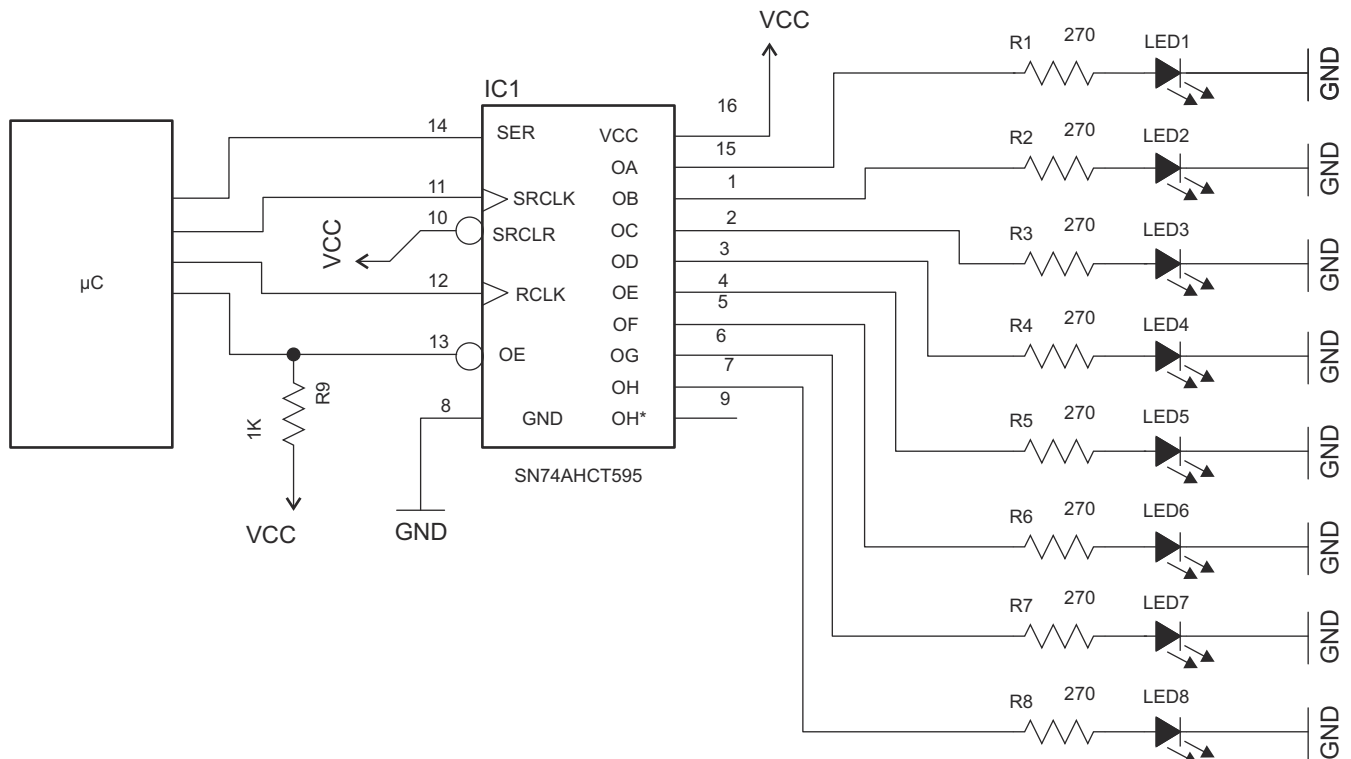


图 8-1. 特定应用原理图

8.2.1 设计要求

此器件采用 CMOS 技术并具有平衡输出驱动。注意避免总线争用，因为它可以驱动超过最大限制的电流。高驱动也会在轻负载时产生快速边缘，因此应考虑布线和负载条件以防止振铃。

8.2.2 详细设计过程

- 建议的输入条件
 - 指定的高电平和低电平。请参阅 [建议运行条件](#) 表中的 V_{IH} 和 V_{IL} 。
 - 指定的高电平和低电平。请参阅 [建议运行条件](#) 表中的 V_{IH} 和 V_{IL} 。
 - 输入具有过压容限，允许它们在任何有效 V_{CC} 下高达 5.5V
- 建议的输出条件
 - 每个输出的负载电流不应超过 25mA，该器件的总电流不应超过 50mA
 - 输出不应被拉至高于 V_{CC}

8.2.3 应用曲线

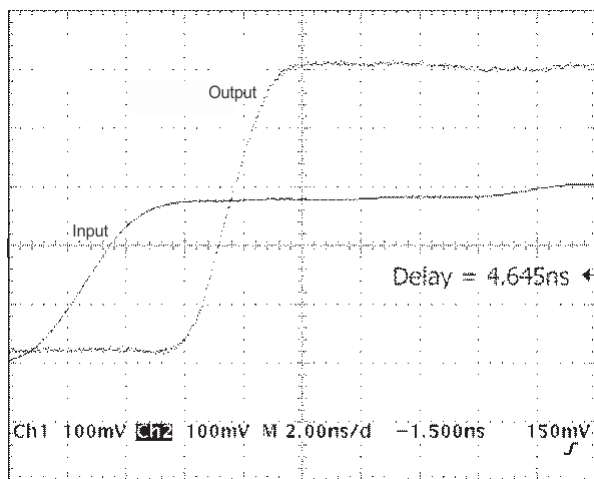


图 8-2. 典型应用曲线

8.3 电源相关建议

电源可以是 [建议运行条件](#) 表中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 引脚应具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 $0.1\mu f$ ；如果有多个 V_{CC} 引脚，则建议每个电源引脚使用 $0.01\mu f$ 或 $0.022\mu f$ 。可以并联多个旁路电容器以抑制不同的噪声频率。 $0.1\mu F$ 和 $1\mu F$ 通常并联使用。为了获得更佳效果，旁路电容器应尽可能靠近电源引脚安装。

8.4 布局

8.4.1 布局指南

当使用多位逻辑器件时，输入不应悬空。

在许多情况下，数字逻辑器件的功能或部分功能未被使用；例如，当仅使用三输入与门的两个输入或仅使用 4 个缓冲门中的 3 个时。此类输入引脚不应悬空，因为外部连接处的未定义电压会导致未定义的操作状态。[图 8-3](#) 指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至一个高或低偏置以防止悬空。应为任何特定未使用输入应用的逻辑电平取决于器件的功能。通常，将这些输入连接到 GND 或 V_{CC} ，具体取决于哪种更合理或更方便。使输出悬空是可以接受的，除非该器件是收发器。如果收发器有一个输出使能引脚，它会在置位时禁用该器件的输出部分。这不会禁用 I/O 的输入部分，因此输入在禁用后也不能悬空。

8.4.2 布局示例

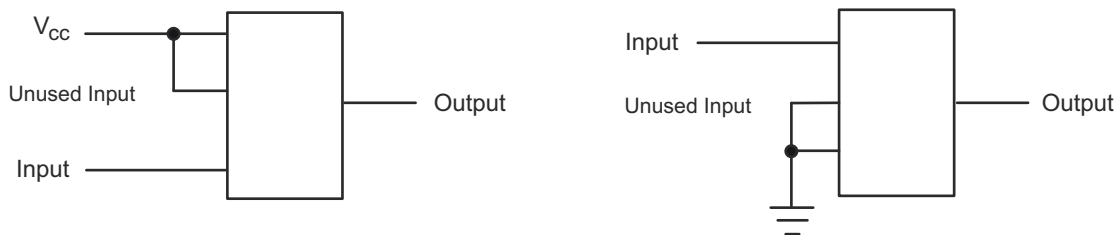


图 8-3. 布局图

9 器件和文档支持

9.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.2 支持资源

TI E2E™ 中文支持论坛 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

9.3 商标

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

9.4 静电放电警告



静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.5 术语表

TI 术语表 本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision P (April 2024) to Revision Q (August 2024)	Page
• 将 D 封装的热性能值 $R_{\theta JA}$ 从 80.2 更新为 93.8，将 $R_{\theta JC(top)}$ 从 39.1 更新为 54.7，将 $R_{\theta JB}$ 从 27.7 更新为 50.9，将 Ψ_{JT} 从 9.9 更新为 20.8，将 Ψ_{JB} 从 37.4 更新为 50.7，将 $R_{\theta JC(bot)}$ 更新为”不适用“，所有值均以 $^{\circ}C/W$ 为单位.....	5

Changes from Revision O (March 2024) to Revision P (April 2024)	Page
• 将 PW 封装的热性能值从 $R_{\theta JA} = 105.7$ 更新为 135.9，从 $R_{\theta JC(top)} = 40.4$ 更新为 70.3，从 $R_{\theta JB} = 50.7$ 更新为 81.3，从 $\Psi_{JT} = 3.7$ 更新为 22.5，从 $\Psi_{JB} = 50.1$ 更新为 80.8，所有值均以 $^{\circ}C/W$ 为单位.....	5

11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package Pins	Package qty Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74AHCT595BQBR	Active	Production	WQFN (BQB) 16	3000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHT595
SN74AHCT595D	Obsolete	Production	SOIC (D) 16	-	-	Call TI	Call TI	-40 to 125	AHCT595
SN74AHCT595DBR	Active	Production	SSOP (DB) 16	2000 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HB595
SN74AHCT595DR	Active	Production	SOIC (D) 16	2500 LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	AHCT595
SN74AHCT595N	Active	Production	PDIP (N) 16	25 TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	SN74AHCT595N
SN74AHCT595PW	Obsolete	Production	TSSOP (PW) 16	-	-	Call TI	Call TI	-40 to 125	HB595
SN74AHCT595PWR	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	NIPDAU SN	Level-1-260C-UNLIM	-40 to 125	HB595
SN74AHCT595PWRG3	Active	Production	TSSOP (PW) 16	2000 LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	HB595

⁽¹⁾ **Status:** For more details on status, see our [product life cycle](#).

⁽²⁾ **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

⁽³⁾ **RoHS values:** Yes, No, RoHS Exempt. See the [TI RoHS Statement](#) for additional information and value definition.

⁽⁴⁾ **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

⁽⁵⁾ **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

⁽⁶⁾ **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74AHCT595 :

- Automotive : [SN74AHCT595-Q1](#)

NOTE: Qualified Version Definitions:

- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74AHCT595BQBR	WQFN	BQB	16	3000	180.0	12.4	2.8	3.8	1.2	4.0	12.0	Q1
SN74AHCT595DBR	SSOP	DB	16	2000	330.0	16.4	8.35	6.6	2.4	12.0	16.0	Q1
SN74AHCT595DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74AHCT595DR	SOIC	D	16	2500	330.0	16.4	6.5	10.3	2.1	8.0	16.0	Q1
SN74AHCT595DR	SOIC	D	16	2500	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74AHCT595PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT595PWR	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74AHCT595PWRG3	TSSOP	PW	16	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74AHCT595BQBR	WQFN	BQB	16	3000	210.0	185.0	35.0
SN74AHCT595DBR	SSOP	DB	16	2000	356.0	356.0	35.0
SN74AHCT595DR	SOIC	D	16	2500	353.0	353.0	32.0
SN74AHCT595DR	SOIC	D	16	2500	353.0	353.0	32.0
SN74AHCT595DR	SOIC	D	16	2500	340.5	336.1	32.0
SN74AHCT595PWR	TSSOP	PW	16	2000	353.0	353.0	32.0
SN74AHCT595PWR	TSSOP	PW	16	2000	356.0	356.0	35.0
SN74AHCT595PWGR3	TSSOP	PW	16	2000	364.0	364.0	27.0

TUBE

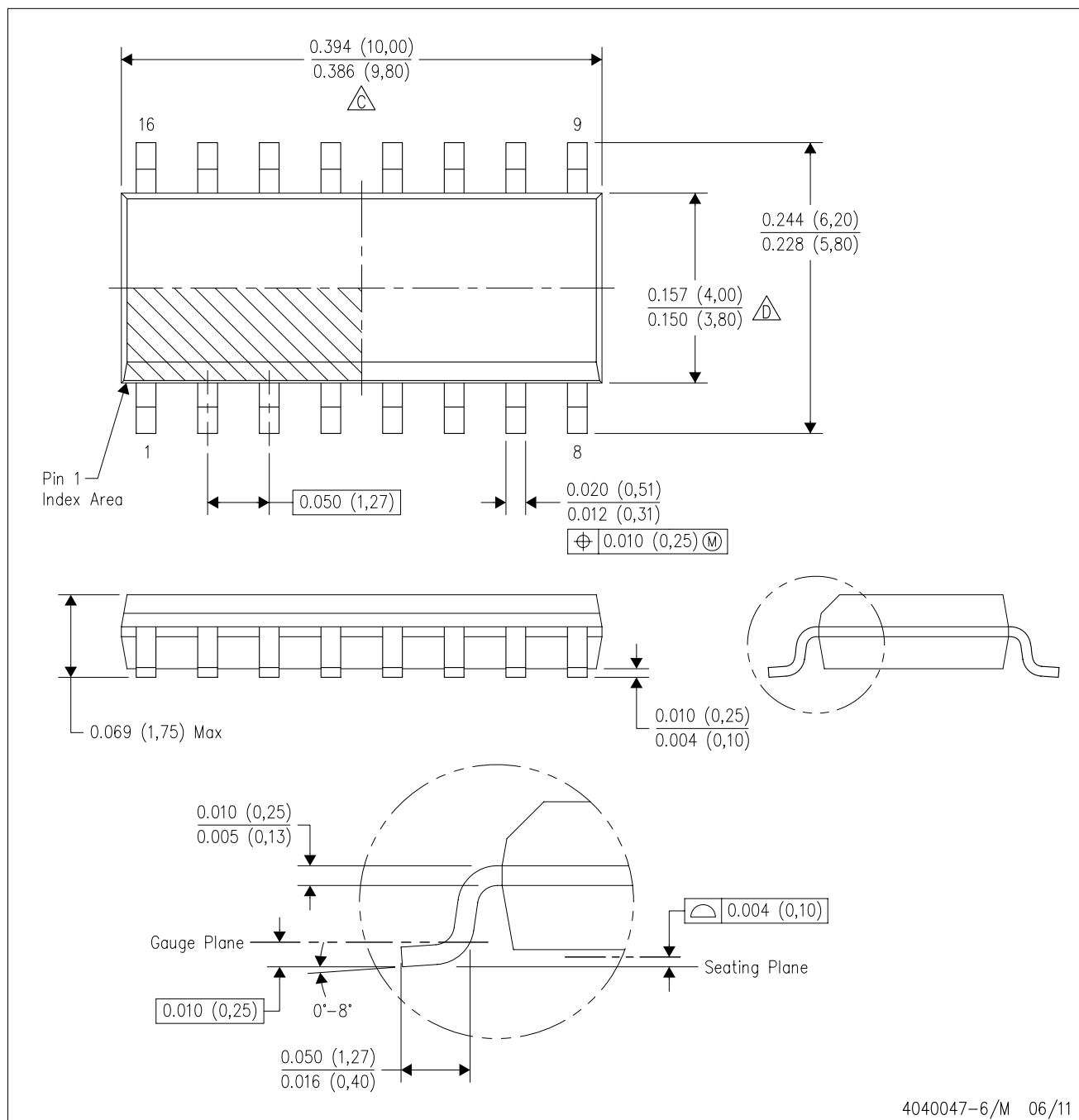


*All dimensions are nominal

Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (μm)	B (mm)
SN74AHCT595N	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHCT595N	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHCT595NE4	N	PDIP	16	25	506	13.97	11230	4.32
SN74AHCT595NE4	N	PDIP	16	25	506	13.97	11230	4.32

D (R-PDSO-G16)

PLASTIC SMALL OUTLINE



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - $\triangle C$ Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 - $\triangle D$ Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AC.



PACKAGE OUTLINE

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



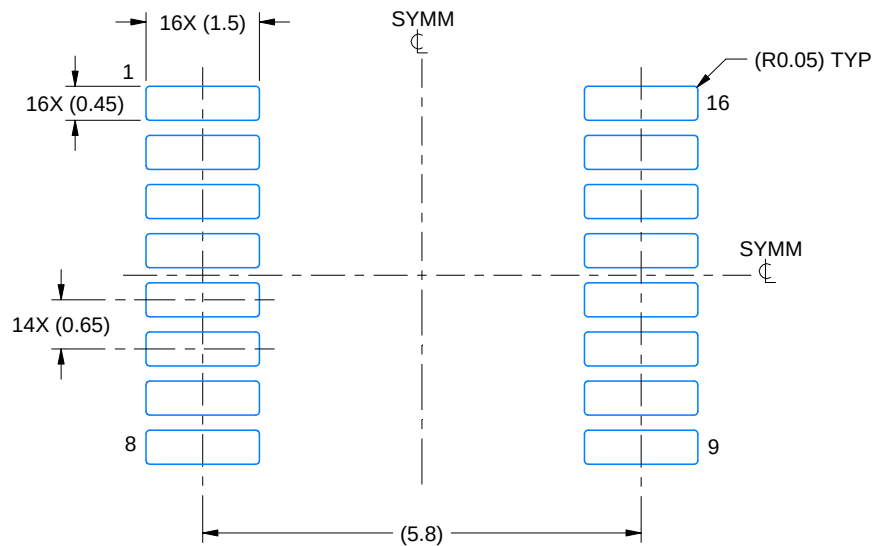
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.

EXAMPLE BOARD LAYOUT

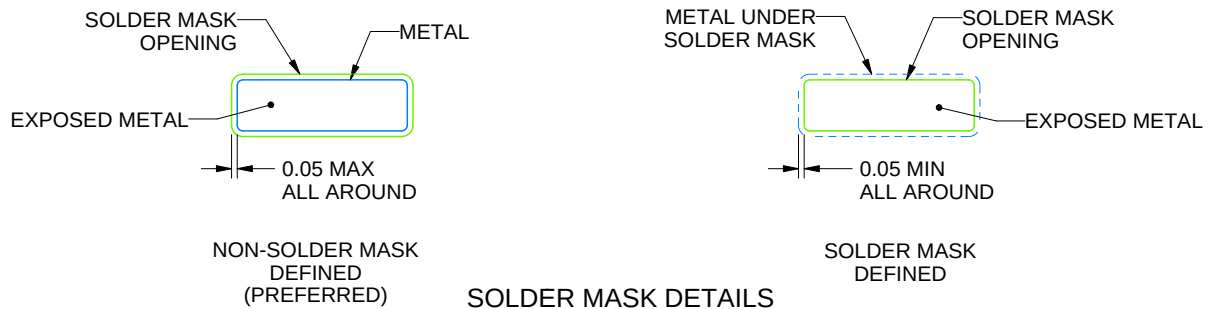
PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



4220204/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.

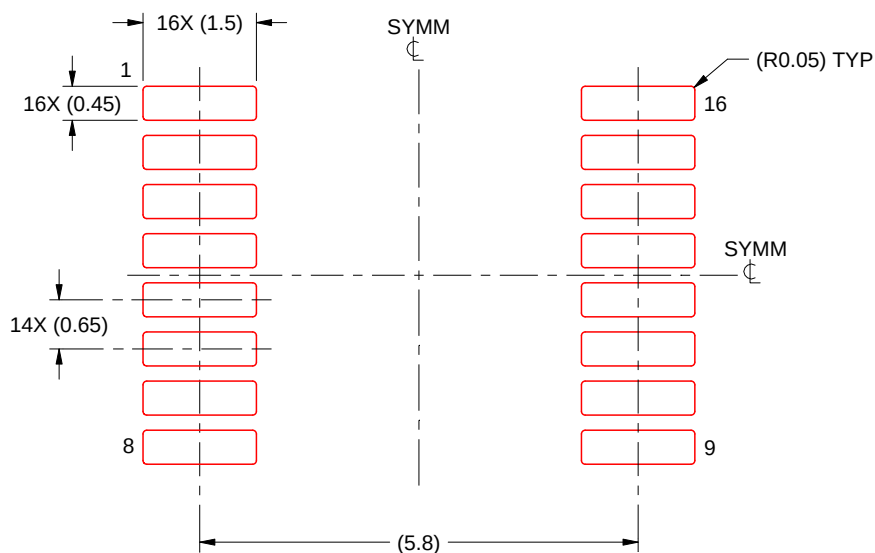
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

PW0016A

TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

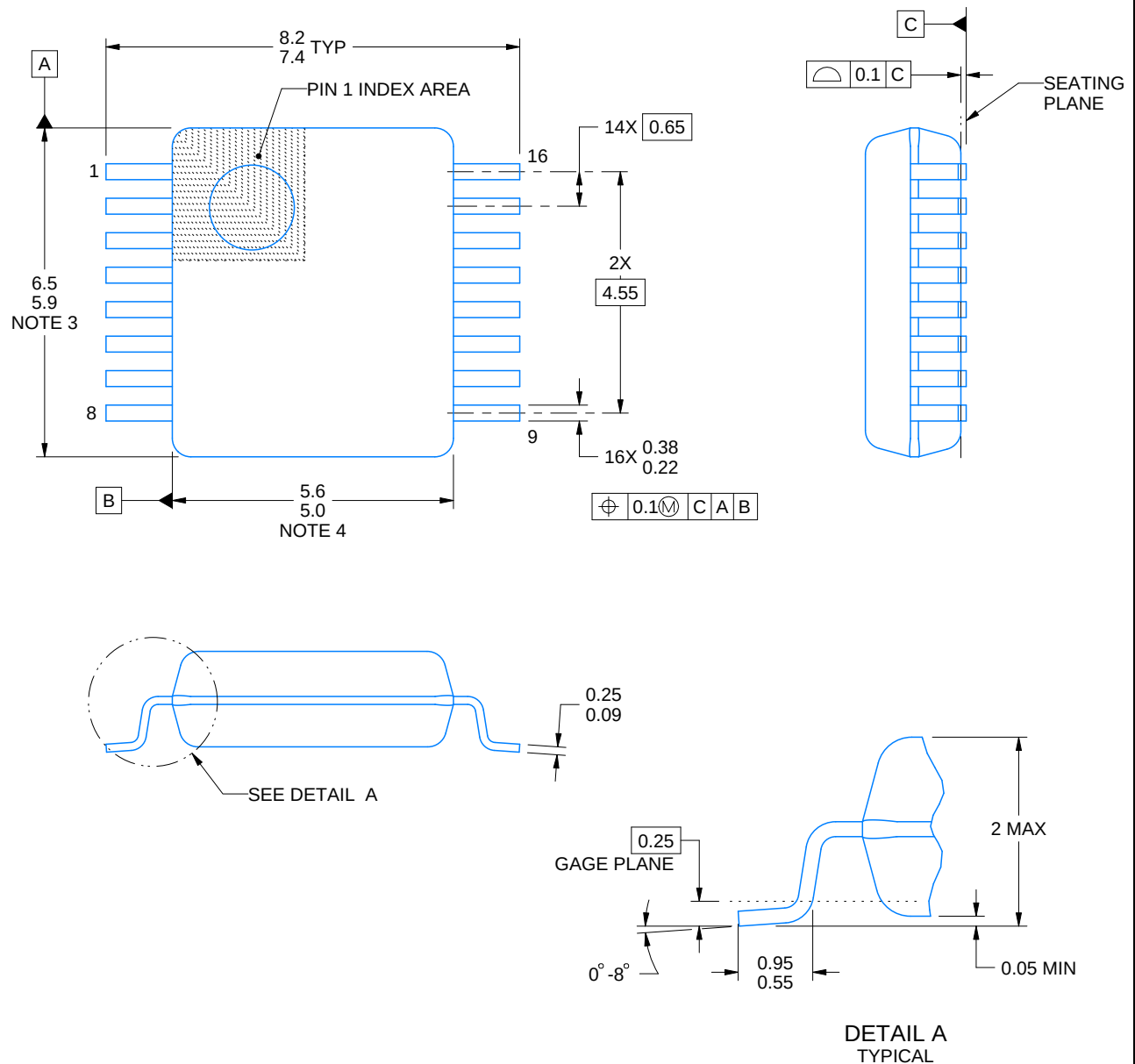


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220204/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.



4220763/A 05/2022

NOTES:

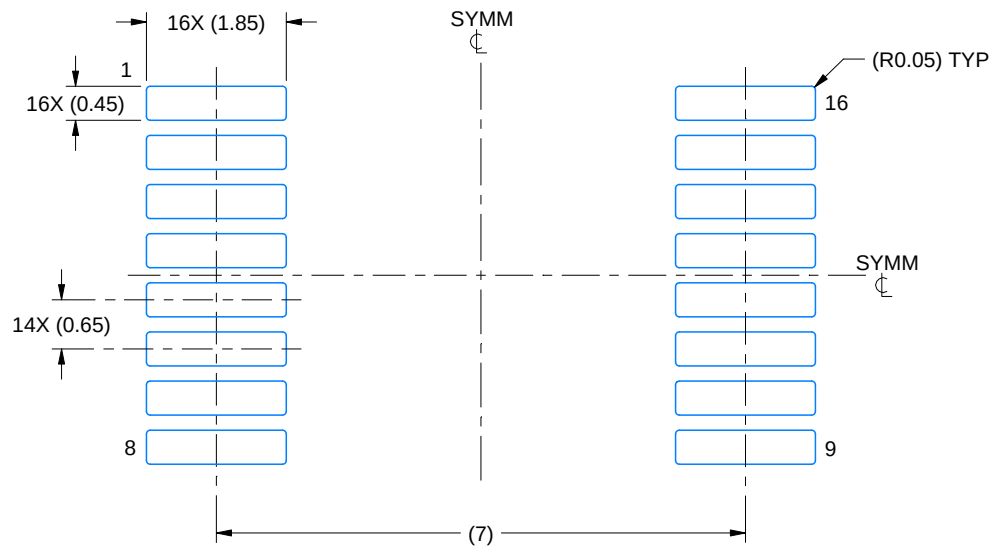
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-150.

EXAMPLE BOARD LAYOUT

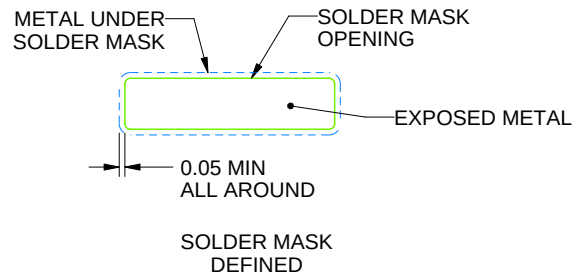
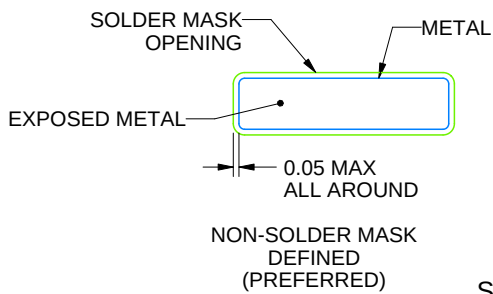
DB0016A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X



SOLDER MASK DETAILS

4220763/A 05/2022

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.

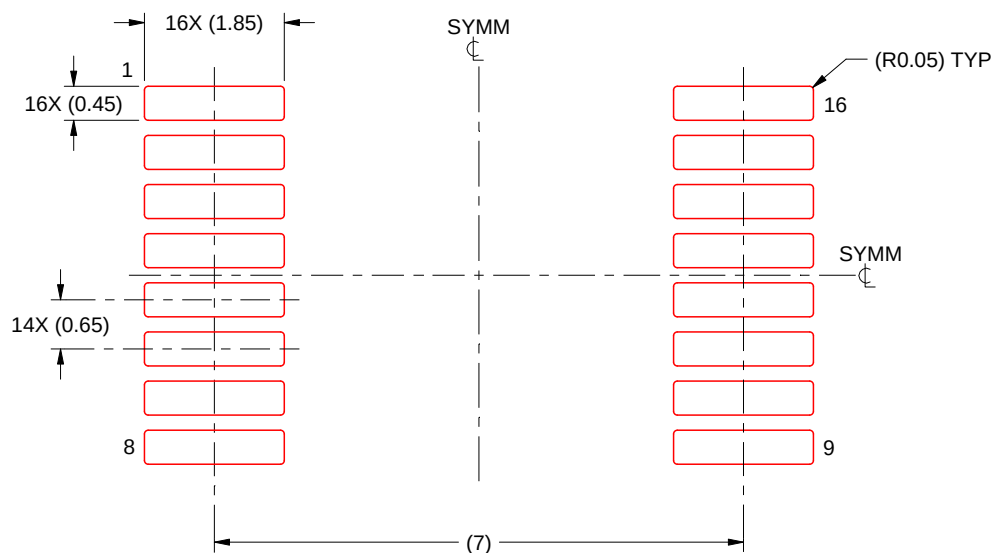
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DB0016A

SSOP - 2 mm max height

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220763/A 05/2022

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

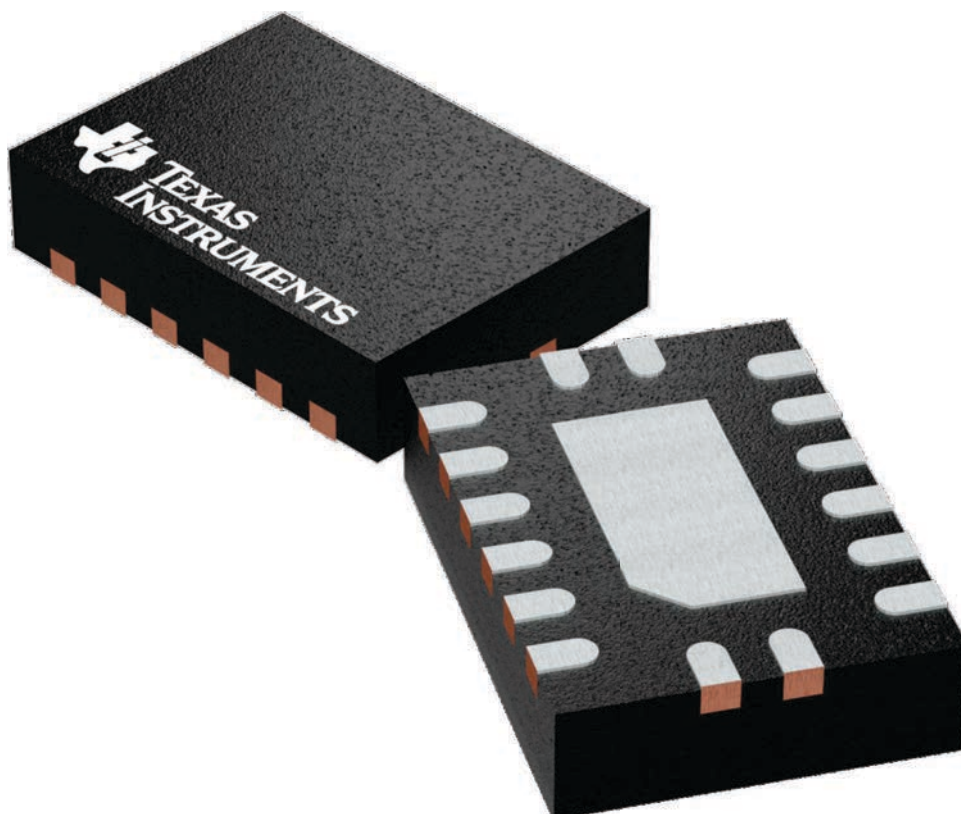
BQB 16

WQFN - 0.8 mm max height

2.5 x 3.5, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

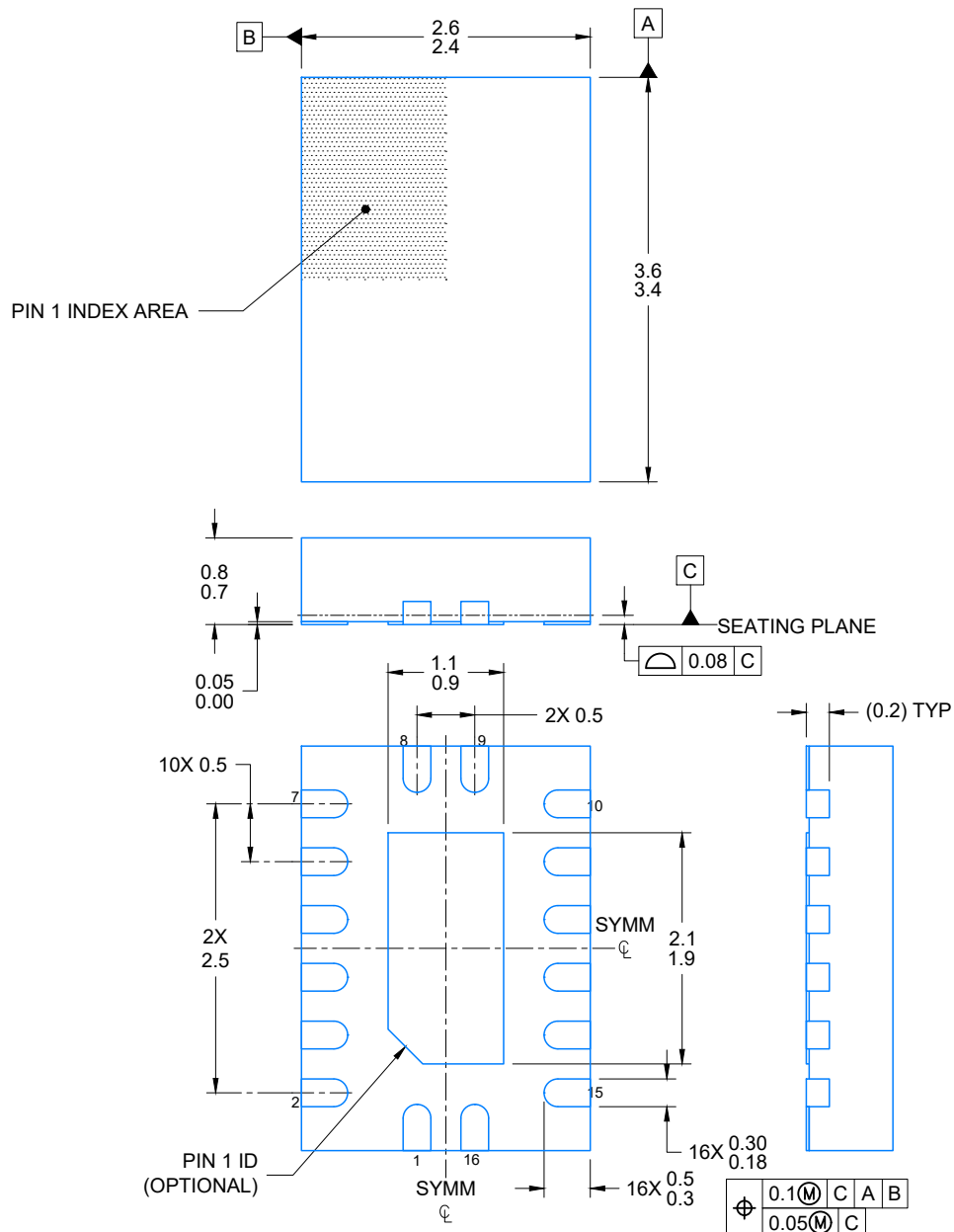


4226161/A

PACKAGE OUTLINE

WQFN - 0.8 mm max height

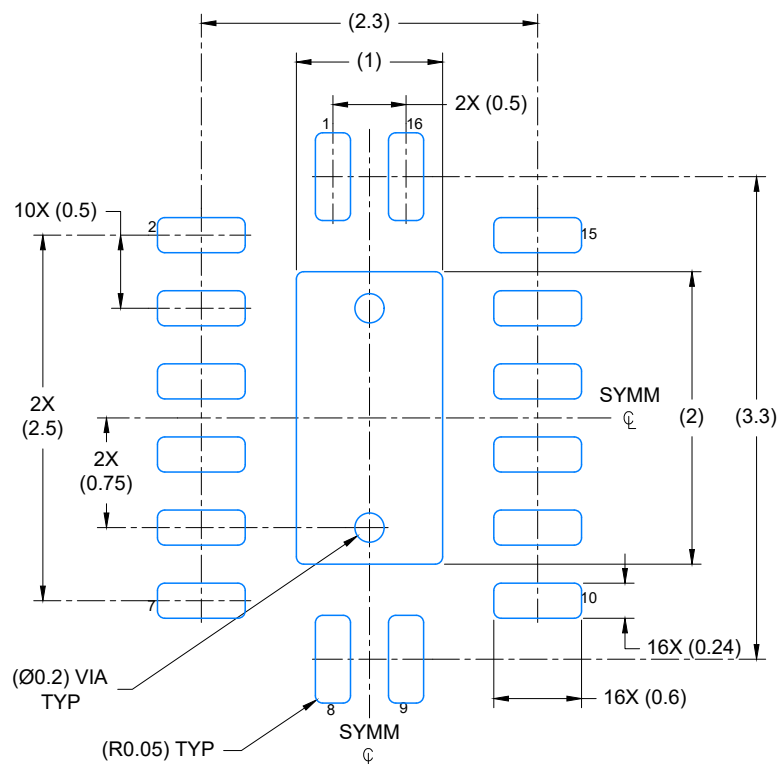
PLASTIC QUAD FLAT PACK-NO LEAD



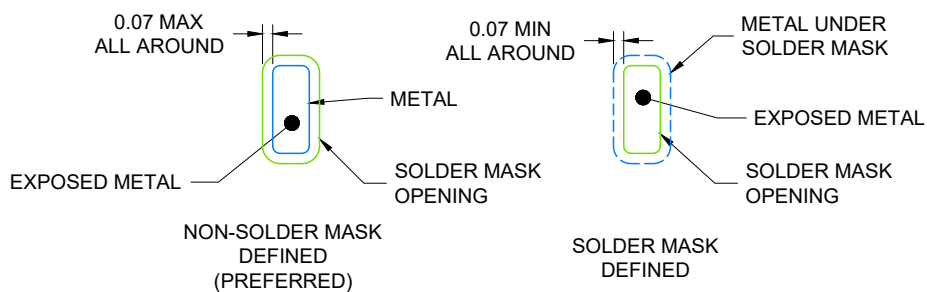
4224640/A 11/2018

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for optimal thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



4224640/A 11/2018

NOTES: (continued)

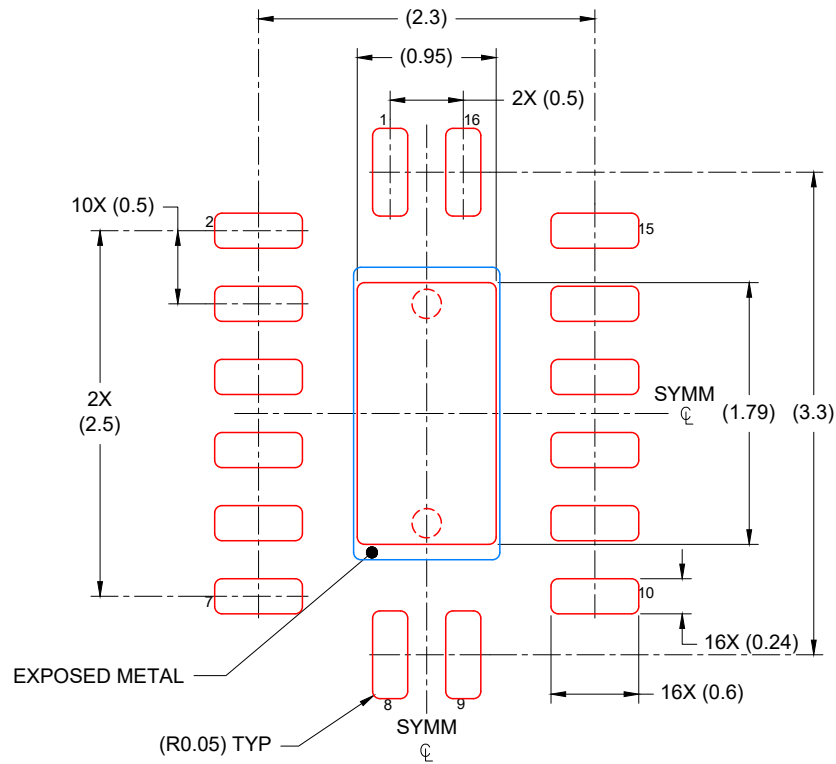
4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/sl原因271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.

EXAMPLE STENCIL DESIGN

BQB0016A

WQFN - 0.8 mm max height

PLASTIC QUAD FLAT PACK-NO LEAD



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD
85% PRINTED COVERAGE BY AREA
SCALE: 20X

4224640/A 11/2018

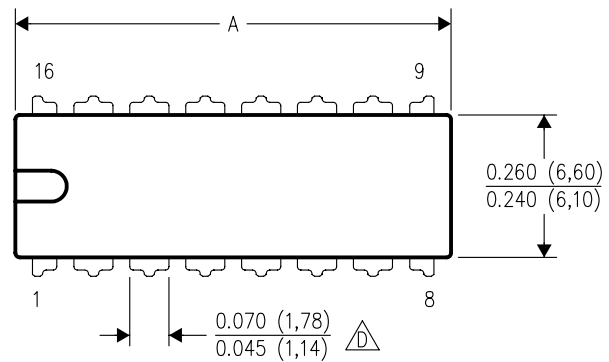
NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

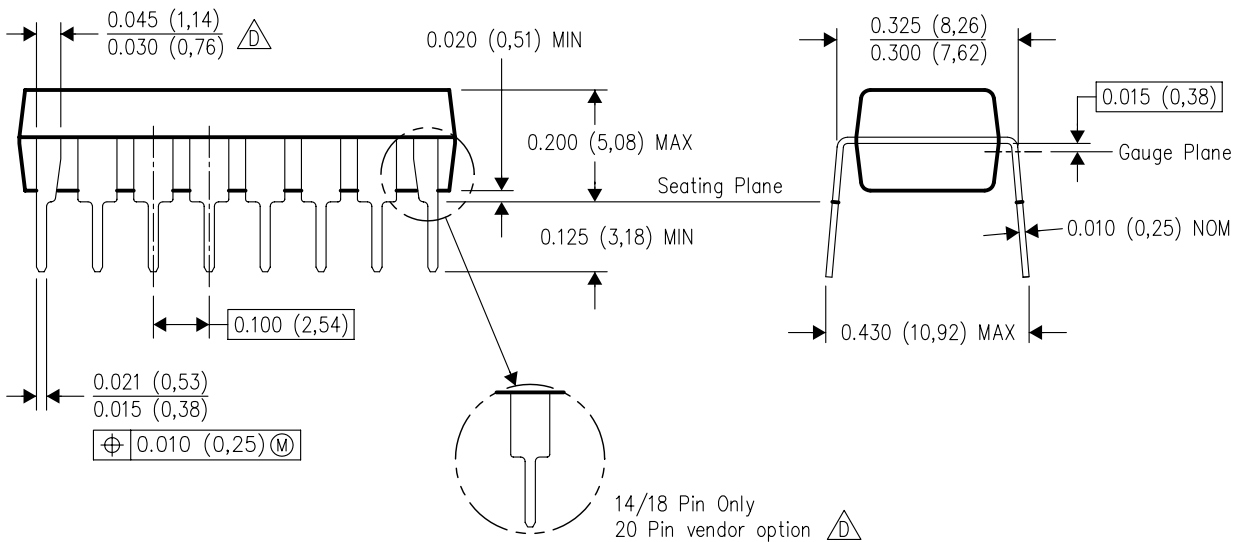
N (R-PDIP-T**)

16 PINS SHOWN

PLASTIC DUAL-IN-LINE PACKAGE



PINS **	14	16	18	20
DIM				
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS-001 VARIATION	AA	BB	AC	AD



14/18 Pin Only
20 Pin vendor option

4040049/E 12/2002

- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
版权所有 © 2025，德州仪器 (TI) 公司