

ADS101xL 具有 PGA、比较器和 1.8V I²C 总线电压支持的超小型、低功耗、12 位 3.3kSPS ADC

1 特性

- 无噪声分辨率：12 位
- 电源电压范围：2.0V 至 3.6V
- 低电流消耗：
 - 150 μ A (连续转换模式)
- 可编程数据速率：128SPS 至 3.3kSPS
- 单周期稳定
- 内部低漂移电压基准
- 内部振荡器
- 具有 ALERT 输出引脚的数字比较器
- I²C 接口：
 - 四个引脚可选地址
 - 与 1.8V I²C 总线电压兼容
- 工作温度范围：
 - 40°C 至 +125°C

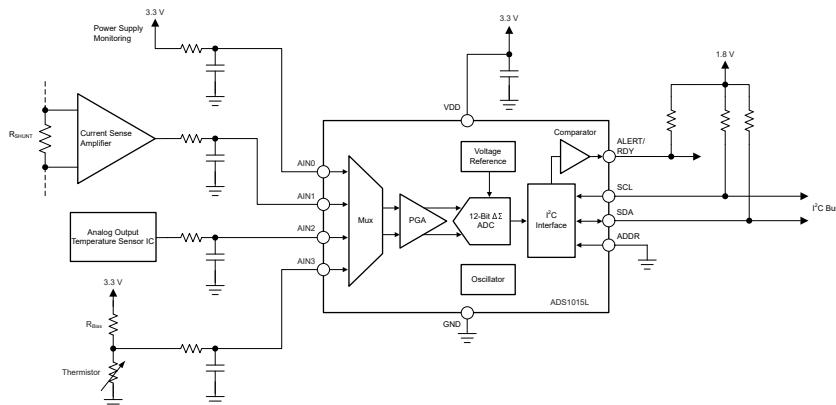
2 应用

- 一般系统监控：
 - 电源电压监控
 - 电流测量
 - 温度测量
- 可穿戴设备和个人电子产品

器件信息

器件型号	输入通道	特性 ⁽¹⁾
ADS1014L	1 个差分 (1 个单端)	PGA、比较器
ADS1015L	2 个差分 (4 个单端)	PGA、比较器

(1) 有关详细信息，请参阅 [器件比较表](#)。



系统监控应用示例



本资源的原文使用英文撰写。为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性	1	7.4 器件功能模式	15
2 应用	1	7.5 编程	16
3 说明	1	8 寄存器映射	20
4 器件比较表	3	9 应用和实施	24
5 引脚配置和功能	3	9.1 应用信息	24
6 规格	5	9.2 典型应用	29
6.1 绝对最大额定值	5	9.3 电源相关建议	30
6.2 ESD 等级	5	9.4 布局	31
6.3 建议运行条件	5	10 器件和文档支持	33
6.4 热性能信息	6	10.1 接收文档更新通知	33
6.5 电气特性	6	10.2 支持资源	33
6.6 I ² C 时序要求	7	10.3 商标	33
6.7 时序图	8	10.4 静电放电警告	33
7 详细说明	9	10.5 术语表	33
7.1 概述	9	11 修订历史记录	33
7.2 功能方框图	9	12 机械、封装和可订购信息	33
7.3 特性说明	10		

4 器件比较表

器件	分辨率 (位)	最大采样速率 (SPS)	输入通道 差分 (单端)	接口	数字输入电平
ADS1014L	12	3300	1 (1)	I ² C	独立于 VDD
ADS1015L	12	3300	2 (4)	I ² C	独立于 VDD
ADS1114L	16	860	1 (1)	I ² C	独立于 VDD
ADS1115L	16	860	2 (4)	I ² C	独立于 VDD
ADS1014	12	3300	1 (1)	I ² C	与 VDD 成比例
ADS1015	12	3300	2 (4)	I ² C	与 VDD 成比例
ADS1114	16	860	1 (1)	I ² C	与 VDD 成比例
ADS1115	16	860	2 (4)	I ² C	与 VDD 成比例

5 引脚配置和功能

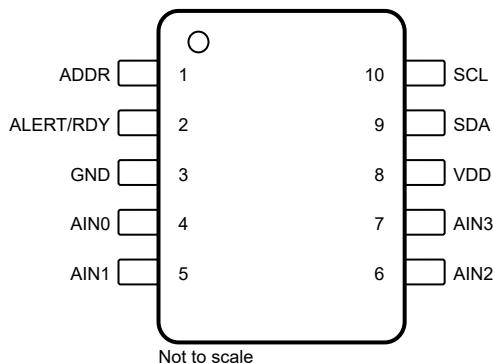


图 5-1. DGS 封装，
10 引脚 VSSOP (顶视图)

表 5-1. 引脚功能 : DGS 封装

引脚			类型	说明 ⁽¹⁾
名称	ADS1014L	ADS1015L		
ADDR	1	1	数字输入	I ² C 目标地址选择引脚。详细信息，请参阅 I²C 地址选择 部分。
AIN0	4	4	模拟输入	模拟输入 0
AIN1	5	5	模拟输入	模拟输入 1
AIN2	—	6	模拟输入	模拟输入 2 (仅限 ADS1015L)
AIN3	—	7	模拟输入	模拟输入 3 (仅限 ADS1015L)
ALERT/RDY	2	2	数字输出	比较器输出或转换就绪。 开漏输出。使用上拉电阻器连接到 VDD。
GND	3	3	模拟	接地
NC	6、7	—	—	无连接。将引脚悬空或连接至 GND。
SCL	10	10	数字输入	串行时钟输入。使用上拉电阻器连接到 VDD。
SDA	9	9	数字 I/O	串行数据输入和输出。使用上拉电阻器连接到 VDD。
VDD	8	8	模拟	电源。将一个 0.1 μ F 电源去耦电容器连接至 GND。

(1) 有关未使用引脚的连接方式，请参见 [未使用的输入和输出](#) 部分。

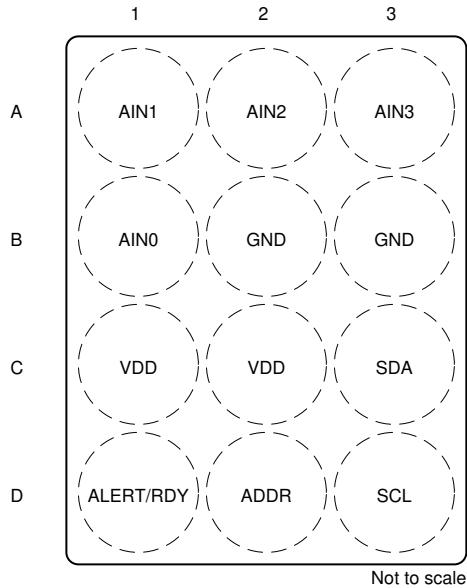


图 5-2. YCJ 封装，
12 引脚 DSBGA (顶视图)

表 5-2. 引脚功能 : YCJ 封装

引脚			类型	说明 ⁽¹⁾
ADS1014L	ADS1015L	名称		
D2	D2	ADDR	数字输入	I ² C 目标地址选择引脚。详细信息，请参阅 I²C 地址选择 部分。
B1	B1	AIN0	模拟输入	模拟输入 0
A1	A1	AIN1	模拟输入	模拟输入 1
—	A2	AIN2	模拟输入	模拟输入 2 (仅限 ADS1015L)
—	A3	AIN3	模拟输入	模拟输入 3 (仅限 ADS1015L)
D1	D1	ALERT/RDY	数字输出	比较器输出或转换就绪。 开漏输出。使用上拉电阻器连接到 VDD。
B2, B3	B2, B3	GND	模拟	接地
A2, A3	—	NC	—	无连接。将引脚悬空或连接至 GND。
D3	D3	SCL	数字输入	串行时钟输入。使用上拉电阻器连接到 VDD。
C3	C3	SDA	数字 I/O	串行数据输入和输出。使用上拉电阻器连接到 VDD。
C1, C2	C1, C2	VDD	模拟	电源。将一个 0.1 μ F 电源去耦电容器连接至 GND。

(1) 有关未使用引脚的连接方式，请参见 [未使用的输入和输出](#) 部分。

6 规格

6.1 绝对最大额定值

在工作环境温度范围内测得 (除非另有说明) ⁽¹⁾

		最小值	最大值	单位
电源电压	VDD 至 GND	- 0.3	5.5	V
模拟输入电压	AIN0、AIN1、AIN2、AIN3	GND - 0.3	VDD + 0.3	V
数字输入电压	SCL、SDA、ADDR、ALERT/RDY	GND - 0.3	5.5	V
输入电流	连续, 除电源引脚外的任何引脚	-10	10	mA
温度	结温, T_J		150	°C
	贮存温度, T_{stg}	- 60	150	

- (1) 超出绝对最大额定值的运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议的工作条件以外的任何其他条件下能够正常运行。如果超出建议运行条件但在绝对最大额定值范围内使用, 器件可能不会完全正常运行, 这可能影响器件的可靠性、功能和性能并缩短器件寿命。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM), 符合 ANSI/ESDA/JEDEC JS-001 标准 ⁽¹⁾	± 2000	V
		充电器件模型 (CDM), 符合 JEDEC 规范 JESD22-C101 ⁽²⁾	± 500	

- (1) JEDEC 文档 JEP155 指出: 500V HBM 能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出: 250V CDM 能够在标准 ESD 控制流程下安全生产。

6.3 建议运行条件

在工作环境温度范围内测得 (除非另有说明)

		最小值	标称值	最大值	单位
电源					
	电源	VDD 至 GND	2	3.6	V
模拟输入⁽¹⁾					
V_{AINx}	绝对输入电压		GND	VDD	V
FSR	满量程输入电压范围 ⁽²⁾	$V_{IN} = V_{AINP} - V_{AINN}$	± 0.256	± 6.144	V
数字输入					
	输入电压		GND	3.6	V
温度范围					
T_A	工作环境温度		-40	125	°C

- (1) AIN_P 和 AIN_N 表示选择的 ADC 正负输入。AINx 表示两个 (ADS1014L) 或四个 (ADS1015L) 可用的模拟输入。
(2) 该参数表示 ADC 调节的满量程范围。向该器件施加的电压不得超过 $VDD + 0.3V$ 或 3.6V (以较小者为准)。有关更多信息, 请参阅表 7-1。

6.4 热性能信息

热指标 ⁽¹⁾		DGS (VSSOP)	YCJ (DSBGA)	单位
		10 引脚	12 引脚	
$R_{\theta JA}$	结至环境热阻	182.7	101.7	°C/W
$R_{\theta JC(top)}$	结至外壳 (顶部) 热阻	67.2	0.7	°C/W
$R_{\theta JB}$	结至电路板热阻	103.8	25.9	°C/W
Ψ_{JT}	结至顶部特征参数	10.2	0.4	°C/W
Ψ_{JB}	结至电路板特征参数	102.1	25.7	°C/W
$R_{\theta JC(bot)}$	结至外壳 (底部) 热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅[半导体和 IC 封装热指标](#)应用手册。

6.5 电气特性

最小规格值和最大规格值的适用条件为 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型规格值的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格值的适用条件为 $VDD = 3.3\text{V}$ 、数据速率 = 128SPS、满量程输入范围 (FSR) = $\pm 2.048\text{V}$ (除非另有说明)

参数	测试条件	最小值	典型值	最大值	单位
模拟输入					
共模输入阻抗	FSR = $\pm 6.144\text{V}$ ⁽¹⁾	10	$\text{M}\Omega$		
	FSR = $\pm 4.096\text{V}$ ⁽¹⁾ , FSR = $\pm 2.048\text{V}$	6			
	FSR = $\pm 1.024\text{V}$	3			
	FSR = $\pm 0.512\text{V}$, FSR = $\pm 0.256\text{V}$	100			
差分输入阻抗	FSR = $\pm 6.144\text{V}$ ⁽¹⁾	22	$\text{M}\Omega$		
	FSR = $\pm 4.096\text{V}$ ⁽¹⁾	15			
	FSR = $\pm 2.048\text{V}$	4.9			
	FSR = $\pm 1.024\text{V}$	2.4			
	FSR = $\pm 0.512\text{V}$, FSR = $\pm 0.256\text{V}$	710			$\text{k}\Omega$
系统性能					
分辨率 (无代码丢失)		12			位
DR	数据速率	128、250、490、920、1600、2400、3300			SPS
数据速率变化	全部数据速率	-10%	10%		
INL	积分非线性 (最佳拟合)	DR = 128SPS , FSR = $\pm 2.048\text{V}$		0.5	LSB
偏移误差 (以输入为基准)	FSR = $\pm 2.048\text{V}$, 差分输入	-0.5	0	0.5	LSB
	FSR = $\pm 2.048\text{V}$, 单端输入		± 0.25		LSB
偏移漂移	FSR = $\pm 2.048\text{V}$		0.005		LSB/ $^\circ\text{C}$
失调电压误差匹配	在任意两个输入之间		0.25		LSB
增益误差	$T_A = 25^\circ\text{C}$, FSR = $\pm 2.048\text{V}$		$\pm 0.05\%$	0.25%	
增益漂移 ⁽²⁾	FSR = $\pm 0.256\text{V}$		7	40	$\text{ppm}/^\circ\text{C}$
	FSR = $\pm 2.048\text{V}$		5		
	FSR = $\pm 6.144\text{V}$		5		
增益误差匹配	在任意两个增益设置之间	- 0.1%	$\pm 0.02\%$	0.1%	
	在任意两个输入之间	- 0.1%	$\pm 0.05\%$	0.1%	
数字输入/输出					
V_{IL}	逻辑输入电平, 低		GND	0.25	V
V_{IH}	逻辑输入电平, 高		1	3.6	V
V_{OL}	逻辑输出电平, 低	$I_{OL} = 3\text{mA}$	GND	0.3	V
I_{OL}	低电平输出电流	$V_{OL} = 0.6\text{V}$	6		mA
	输入电流	$GND \leq V_{\text{Digital Input}} \leq VDD$	-10	10	μA
C_i	电容	每个引脚		10	pF

6.5 电气特性 (续)

最小规格值和最大规格值的适用条件为 $T_A = -40^\circ\text{C}$ 至 $+125^\circ\text{C}$ ；典型规格值的适用条件为 $T_A = 25^\circ\text{C}$ ；所有规格值的适用条件为 $VDD = 3.3\text{V}$ 、数据速率 = 128SPS、满量程输入范围 (FSR) = $\pm 2.048\text{V}$ (除非另有说明)

参数		测试条件	最小值	典型值	最大值	单位
驱动电流和功率耗散						
I _{VDD}	电源电流	断电	1.2	5		μA
		工作	150	300		
P _D	功率耗散	VDD = 3.3V	0.5			mW
		VDD = 2.0V	0.3			

- (1) 该参数表示 ADC 调节的满量程范围。向该器件施加的电压不得超过 $VDD + 0.3\text{V}$ 或 3.6V (以较小者为准)。有关更多信息, 请参阅表 7-1。
(2) 包含板载 PGA、ADC 和电压基准产生的所有误差。

6.6 I²C 时序要求

在工作环境温度范围内, $VDD = 2\text{V}$ 至 3.6V , 总线电容 $\leq 400\text{pF}$, 并且上拉电阻器阻值 = $1\text{k}\Omega$ (除非另有说明)

		最小值	最大值	单位
标准模式				
f _{SCL}	SCL 时钟频率	0	100	kHz
t _{HD:STA}	(重复) 启动条件后的保持时间。在此时间段之后, 生成第一个时钟脉冲。	4.0		μs
t _{LOW}	脉冲持续时间, SCL 低电平的时间	4.7		μs
t _{HIGH}	脉冲持续时间, SCL 高电平的时间	4.0		μs
t _{SU:STA}	(重复) 启动条件后的复位时间	4.7		μs
t _{HD:DAT}	数据保持时间	0		μs
t _{SU:DAT}	数据建立时间	0.25		μs
t _r	SCL、SDA 上升时间		1	μs
t _f	SCL、SDA 下降时间		0.3	μs
t _{SU:STO}	停止条件建立时间	4.0		μs
t _{BUF}	停止和启动条件之间的总线空闲时间	4.7		μs
t _{VD:DAT}	数据有效时间		3.45	μs
t _{VD:ACK}	响应有效时间		3.45	μs
快速模式				
f _{SCL}	SCL 时钟频率	0	400	kHz
t _{HD:STA}	(重复) 启动条件后的保持时间。在此时间段之后, 生成第一个时钟脉冲。	600		ns
t _{LOW}	脉冲持续时间, SCL 低电平的时间	1300		ns
t _{HIGH}	脉冲持续时间, SCL 高电平的时间	600		ns
t _{SU:STA}	(重复) 启动条件后的复位时间	600		ns
t _{HD:DAT}	数据保持时间	0		ns
t _{SU:DAT}	数据建立时间	100		ns
t _r	SCL、SDA 上升时间	20	300	ns
t _f	SCL、SDA 下降时间	20 × (VDD/5.5V)	300	ns
t _{SU:STO}	停止条件建立时间	600		ns
t _{BUF}	停止和启动条件之间的总线空闲时间	1300		ns
t _{VD:DAT}	数据有效时间		900	ns
t _{VD:ACK}	响应有效时间		900	ns
t _{SP}	必须由输入滤波器进行抑制的尖峰脉冲持续时间	0	50	ns

6.7 时序图

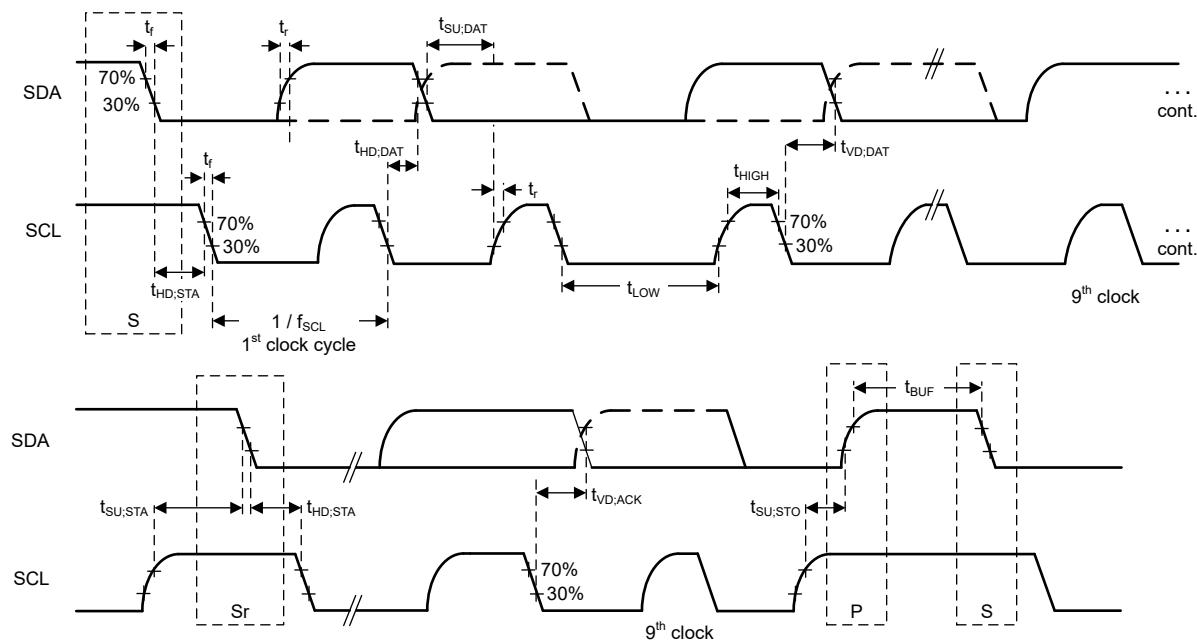


图 6-1. I²C 时序要求

7 详细说明

7.1 概述

ADS101xL 时极小型、低功耗、无噪声、12 位、 $\Delta\Sigma$ 模数转换器 (ADC)。ADS101xL 由一个具有内部电压基准的 $\Delta\Sigma$ ADC 内核、一个时钟振荡器和一个 I²C 接口组成。ADS101xL 还集成了一个可编程增益放大器 (PGA) 和一个可编程数字比较器。图 7-1 和图 7-2 分别展示了 ADS1014L 和 ADS1015L 的功能方框图。

ADS101xL ADC 内核测量差分信号 V_{IN} ，即 $V_{(AINP)}$ 和 $V_{(AINN)}$ 之间的差值。转换器内核由一个差分开关电容 $\Delta\Sigma$ 调制器及其后的数字滤波器组成。该架构会使任何共模信号发生强烈的衰减。输入信号与内部电压基准进行比较。数字滤波器接收调制器传输的高速位流，输出与输入电压成正比的代码。

ADS101xL 具有两种可用的转换模式：单次和连续转换。在单次模式下，ADC 根据请求对输入信号执行一次转换，将转换值存储到内部 Conversion 寄存器中，然后进入断电状态。该模式旨在为仅需要定期转换或转换之间有较长空闲期的系统提供显著的节能效果。在连续转换模式下，ADC 在上一次转换完成后立即自动开始输入信号的转换。连续转换速率等于通过编程设定的数据速率。数据可以随时读取并且始终反映最近完成的转换。

7.2 功能方框图

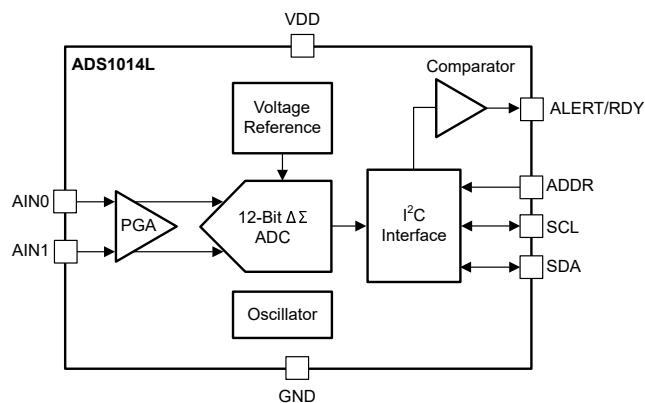


图 7-1. ADS1014L 方框图

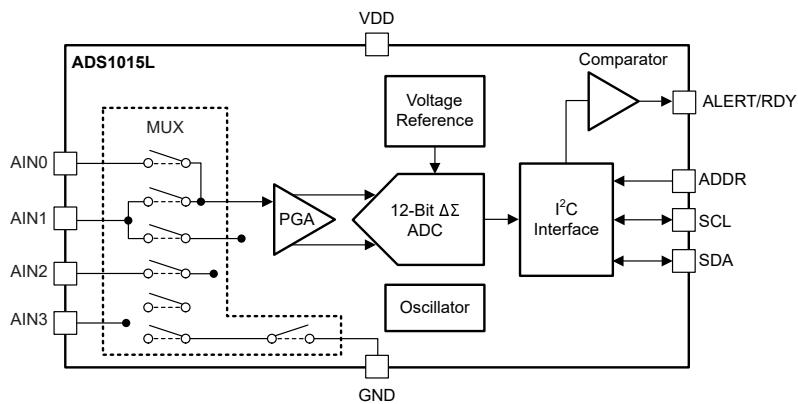


图 7-2. ADS1015L 方框图

7.3 特性说明

7.3.1 多路复用器

如图 7-3 所示，ADS1015L 包含一个输入多路复用器。四路单端或双路差分信号均可通过对其进行测量。此外，AIN0 和 AIN1 可以与 AIN3 进行差分测量。多路复用器由 Configuration 寄存器中的 MUX[2:0] 位进行配置。当测量单端信号时，ADC 的负输入通过多路复用器中的开关在内部与 GND 相连。

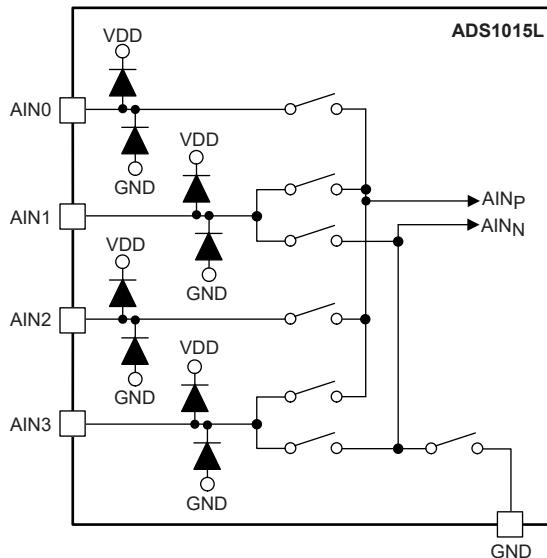


图 7-3. 输入多路复用器

ADS1014L 没有输入多路复用器，可以测量一个差分信号或一个单端信号。对于单端测量，请在外部将 AIN1 引脚连接至 GND。在本文档的后续章节中，对于 ADS1014L，AIN_P 指 AIN0，AIN_N 指 AIN1。

连接到 VDD 和 GND 的静电放电 (ESD) 二极管可保护 ADS101xL 模拟输入。将任何输入的绝对电压保持在 [方程式 1](#) 所示的范围内，防止 ESD 二极管导通。

$$GND - 0.3V < V_{(AINX)} < VDD + 0.3V \quad (1)$$

如果输入引脚上的电压可能违反这些条件，请使用外部肖特基二极管和串联电阻器将输入电流限制在安全值（请参阅 [绝对最大额定值](#)）。过度驱动 ADS1015L 上的某个输入可能会影响其他输入上发生的转换。如果可能过度驱动某个输入，请使用外部肖特基二极管对信号进行钳位。

7.3.2 模拟输入

ADS101xL 使用开关电容器输入级，其中电容器连续充电，然后放电，以便测量 A_{INP} 和 A_{INN} 之间的电压。对输入信号进行采样的频率称为采样频率或调制器频率 (f_{MOD})。ADS101xL 具有一个频率为 1MHz 的内部振荡器，该振荡器进一步进行四分频以生成 250kHz 的 f_{MOD} 。此输入级使用的电容较小，外部电路的平均负载呈阻性。图 7-4 展示了该结构。电容器容值决定电阻和开关速率。图 7-5 展示了图 7-4 中的开关的时序。在采样阶段，开关 S_1 闭合。在这种情况下， C_{A1} 的电压在充电后变为 $V_{(AINP)}$ 、 C_{A2} 的电压在充电后变为 $V_{(AINN)}$ 、 C_B 的电压在充电后变为 $(V_{(AINP)} - V_{(AINN)})$ 。在放电阶段， S_1 首先断开，之后 S_2 闭合。然后 C_{A1} 和 C_{A2} 均放电至约 0.7V， C_B 放电至 0V。该充电从驱动 ADS101xL 模拟输入的消耗取非常小的瞬态电流。该电流的平均值可用于计算有效阻抗 (Z_{eff})，其中 $Z_{eff} = V_{IN} / I_{AVERAGE}$ 。

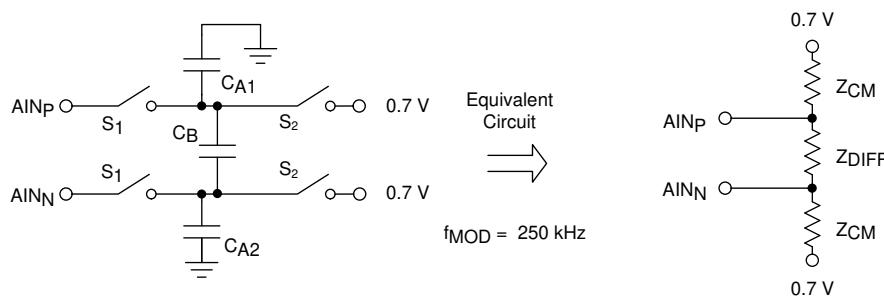


图 7-4. 简化的模拟输入电路

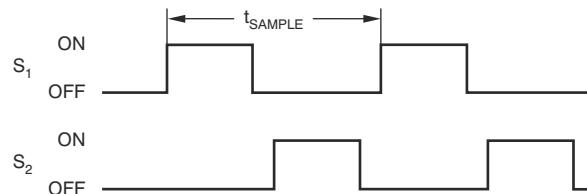


图 7-5. S_1 和 S_2 的开关时序

通过将共模信号施加到短接的 A_{INP} 和 A_{INN} 输入并测量各引脚的平均流耗，可计算共模输入阻抗。共模输入阻抗根据满量程范围发生变化，在默认满量程范围内约为 $6M\Omega$ 。图 7-4 中的共模输入阻抗为 Z_{CM} 。

通过将差分信号施加到 A_{INP} 和 A_{INN} 输入，其中一个输入保持为 0.7V，可测量差分输入阻抗。流经连接 0.7V 电压的引脚的电流为差分电流，该电流随满量程范围进行调节。图 7-4 中的差分输入阻抗为 Z_{DIFF} 。

确保考虑输入阻抗的典型值。除非输入源的阻抗较低，否则 ADS101xL 输入阻抗可能会影响测量精度。对于输出阻抗较高的源，可能有必要进行缓冲。有源缓冲器会在引入噪声的同时引入偏移和增益误差。高精度应用需要密切关注上述因素。

时钟振荡器频率随温度变化会产生轻微漂移。因此，输入阻抗也会发生漂移。对于多数应用而言，该输入阻抗漂移可以忽略不计。

7.3.3 满量程范围 (FSR) 和最低有效位 (LSB) 大小

在 ADS101xL 的 $\Delta \Sigma$ ADC 之前实现了一个可编程增益放大器 (PGA)。满标量程由 [Configuration 寄存器](#) 中的 PGA[2:0] 位进行配置，可以设置为 $\pm 6.144V$ 、 $\pm 4.096V$ 、 $\pm 2.048V$ 、 $\pm 1.024V$ 、 $\pm 0.512V$ 和 $\pm 0.256V$ 。[表 7-1](#) 展示了 FSR 以及相应的 LSB 大小。[方程式 2](#) 展示了如何通过选择的满标量程计算 LSB 大小。

$$LSB = FSR/2^{16}$$

(2)

表 7-1. 满量程范围和相应 LSB 的大小

FSR	LSB 大小
$\pm 6.144V^{(1)}$	$187.5 \mu V$
$\pm 4.096V^{(1)}$	$125 \mu V$
$\pm 2.048V$	$62.5 \mu V$
$\pm 1.024V$	$31.25 \mu V$
$\pm 0.512V$	$15.625 \mu V$
$\pm 0.256V$	$7.8125 \mu V$

(1) 该参数表示 ADC 调节的满量程范围。请勿向器件的模拟输入施加超过 $VDD + 0.3V$ 的电压。

模拟输入电压绝不能超过 [绝对最大额定值](#) 中给出的模拟输入电压限值。 $\pm 4.096V$ 和 $\pm 6.144V$ 满标量程设置允许输入电压扩展至电源电压。尽管在这种情况下，或者只要电源电压小于满标量程（例如， $VDD = 3.3V$ 且满标量程 = $\pm 4.096V$ ），就无法获得满量程 ADC 输出代码。例如， $VDD = 3.3V$ 且 $FSR = \pm 4.096V$ ，只能测量最高 $V_{IN} = \pm 3.3V$ 的差分信号。在这种情况下，不使用表示电压 $|V_{IN}| > 3.3V$ 的代码范围。

7.3.4 电压基准

ADS101xL 具有集成电压基准。这些器件无法使用外部基准。

ADS101xL 不使用传统的带隙基准来生成内部电压基准。因此，基准没有实际指定的电压值。不使用基准电压值和增益设置来导出 ADC 的满标量程，而是直接使用 [表 7-1](#) 中提供的 FSR 值。

[电气特性](#) 表中的增益误差和增益漂移规格包含与初始电压基准精度相关的误差以及基准的漂移。

7.3.5 振荡器

ADS101xL 具有一个以 1MHz 频率运行的集成振荡器。不能应用外部时钟来运行这些器件。内部振荡器会随着温度和时间的变化而漂移。输出数据速率与振荡器频率成正比。

7.3.6 输出数据速率和转换时间

ADS101xL 提供可编程输出数据速率。可以使用 [Configuration 寄存器](#) 中的 DR[2:0] 位来选择输出数据速率 128SPS、250SPS、490SPS、920SPS、1600SPS、2400SPS 或 3300SPS

ADS101xL 中的转换在单个周期内实现稳定；因此，转换时间等于 $1/DR$ 。

7.3.7 数字比较器

ADS101xL 具有一个可在 ALERT/RDY 引脚上发出警报的可编程数字比较器。Configuration 寄存器中的 COMP_MODE 位将比较器配置为传统比较器或窗口比较器。在传统比较器模式下，当转换数据超过上限阈值寄存器 (Hi_thresh) 中设置的限值时，ALERT/RDY 引脚置为有效 (默认低电平有效)。然后，仅当转换数据低于下限阈值寄存器 (Lo_thresh) 中设置的限值时，比较器才会置为无效。在窗口比较器模式下，当转换数据超过 Hi_thresh 寄存器值或低于 Lo_thresh 寄存器值时，ALERT/RDY 引脚置为有效。

在窗口比较器模式或传统比较器模式下，比较器可以配置为由 Configuration 寄存器中的 COMP_LAT 位置为有效后锁存。即使输入信号未超出阈值寄存器的范围，该设置也会使置为有效保持不变。该锁存的置为有效只能通过发出 SMBus 警报响应或读取 Conversion 寄存器进行清除。ALERT/RDY 引脚可通过 Configuration 寄存器中的 COMP_POL 位配置为高电平有效或低电平有效。图 7-6 展示了两种比较器模式的运行图。

还可以将比较器配置为仅在设定的连续读取次数超过阈值寄存器 (Hi_thresh 和 Lo_thresh) 中设置的阈值后才激活 ALERT/RDY 引脚。配置寄存器中的 COMP_QUE[1:0] 位将比较器配置为在激活 ALERT/RDY 引脚之前等待读取次数比阈值多一、二或四。COMP_QUE[1:0] 位还可以禁用比较器功能并将 ALERT/RDY 引脚置于高电平状态。

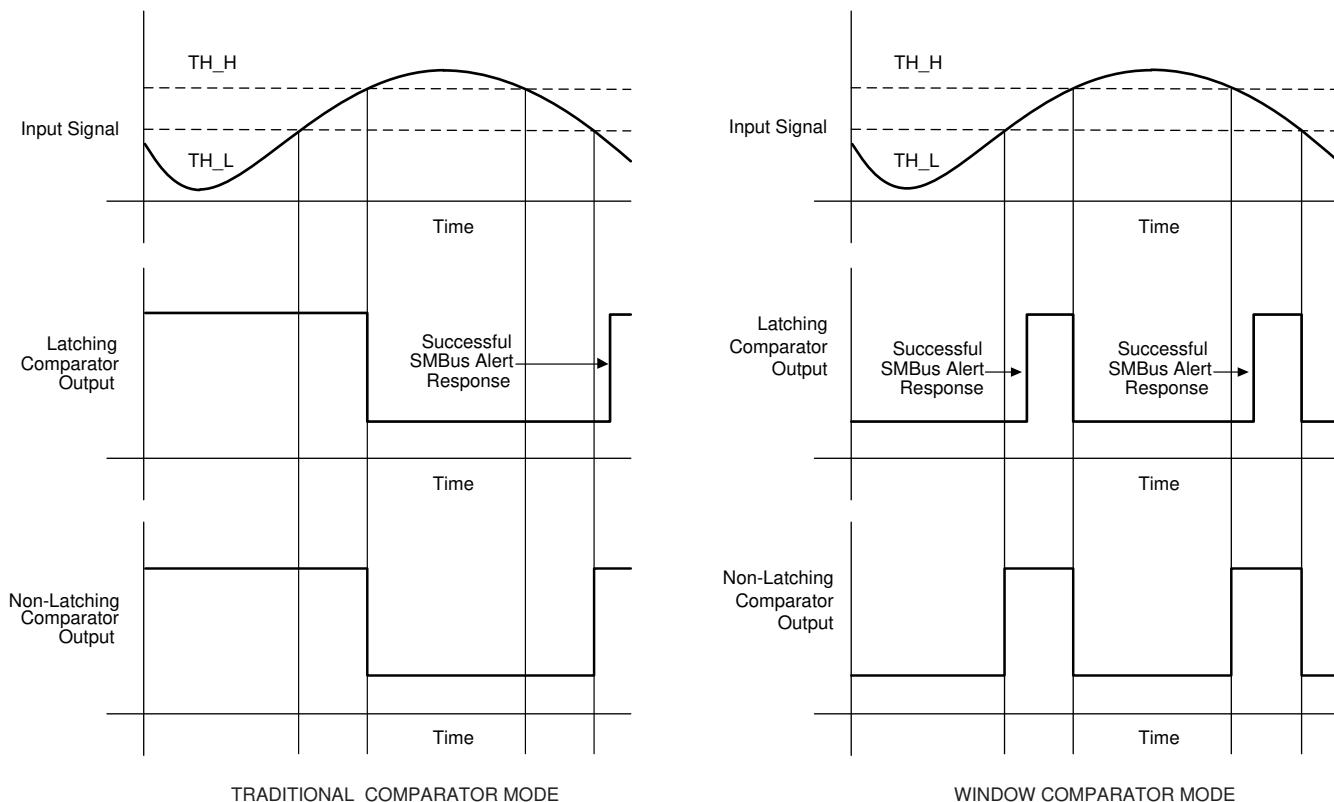


图 7-6. ALERT 引脚时序图

7.3.8 转换就绪引脚

ALERT/RDY 引脚也可以配置为转换就绪引脚。通过将 `Hi_thresh` 寄存器的最高有效位设置为 `1b`，将 `Lo_thresh` 寄存器的最高有效位设置为 `0b`，可以使该引脚用作转换就绪引脚。`COMP_POL` 位继续按预期工作。通过将 `COMP_QUE[1:0]` 位设置为 `11b` 以外的任何 2 位值，可以使 ALERT/RDY 引脚保持启用状态，并允许转换就绪信号出现在 ALERT/RDY 引脚输出端。`COMP_MODE` 和 `COMP_LAT` 位不再控制任何功能。当配置为转换就绪引脚时，ALERT/RDY 仍然需要上拉电阻器。如图 7-7 所示，在连续转换模式下，每次转换结束时，ADS101xL 在 ALERT/RDY 引脚上提供大约 $8\mu\text{s}$ 的转换就绪脉冲。在单次模式下，如果 `COMP_POL` 位设置为 `0b`，则 ALERT/RDY 引脚会在转换结束时被置为低电平。

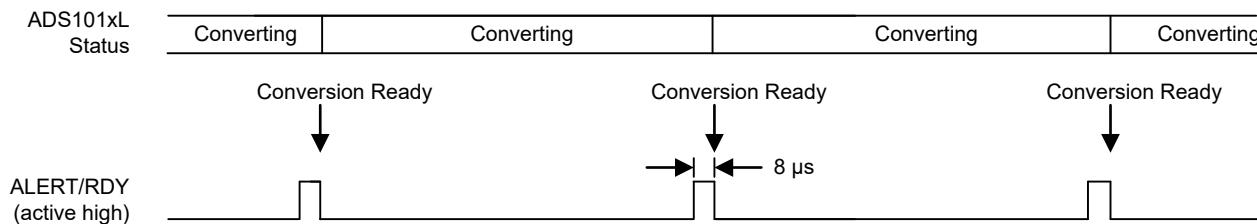


图 7-7. 连续转换模式下的转换就绪脉冲

7.3.9 SMBus 警报响应

在锁存比较器模式下 (`COMP_LAT = 1b`)，当比较器检测到转换超过阈值上限或下限时，ALERT/RDY 引脚变为有效。此有效状态将被锁存，只能通过读取转换数据或通过发出成功的 SMBus 警报响应并读取变为有效的器件 I²C 地址来清除。如果转换数据在有效状态清除后超过阈值上限或下限，则 ALERT/RDY 引脚会重新被置为有效。此有效状态不会影响已在进行中的转换。开漏 ALERT/RDY 输出允许多个器件共享同一个接口总线。禁用时，ALERT/RDY 引脚保持高电平状态，因此不会干扰同一总线上的其他器件。

当控制器检测到 ALERT/RDY 引脚已锁存时，控制器会向 I²C 总线发出 SMBus 警报命令 (00011001b)。I²C 总线上任何 ALERT/RDY 引脚被置为有效的 ADS101xL 器件会对带有目标地址的命令做出响应。如果 I²C 总线上的多个 ADS101xL 使锁存的 ALERT/RDY 引脚变为有效，则在 SMBus 警报的地址响应期间通过仲裁来确定清除哪个器件的有效状态。具有最低 I²C 地址的器件始终会在仲裁中胜出。如果器件未在仲裁中胜出，则该器件不会清除比较器输出引脚的有效状态。然后，控制器重复 SMBus 警报响应，直到所有器件都清除了各自的有效状态。在窗口比较器模式下，SMBus 警报状态位在信号超过阈值上限时指示 `1b`，在信号超过阈值下限时指示 `0b`。

7.4 器件功能模式

7.4.1 复位和上电

ADS101xL 在上电时复位并将 [Configuration 寄存器](#) 中的所有位设置为相应的默认设置。ADS101xL 在复位过程完成后进入断电状态。器件接口和数字模块处于激活状态，但不执行数据转换。ADS101xL 的初始断电状态可缓解电源要求严格的系统在上电期间遇到浪涌的情况。

ADS101xL 对 I²C 通用广播复位命令做出响应。当 ADS101xL 接收到通用广播复位命令 (06h) 时，就像器件上电一样执行内部复位。

7.4.2 工作模式

ADS101xL 以两种模式之一运行：连续转换或单次。Configuration 寄存器中的 MODE 位选择相应的运行模式。

7.4.2.1 单冲模式

当 Configuration 寄存器中的 MODE 位被设置为 1b 时，ADS101xL 进入断电状态，并以单次模式运行。首次施加电源时，断电状态是 ADS101xL 的默认状态。尽管处于断电状态，器件仍能对命令做出响应。ADS101xL 将保持该断电状态，直到 Configuration 寄存器中的运行状态 (OS) 位被写入 1b。当 OS 位被置为有效时，该器件会在大约 25 μs 内上电，将 OS 位重置为 0b，并开始单次转换。当转换数据准备就绪，可以进行获取时，器件再次断电。当转换正在进行时向 OS 位写入 1b 无效。要切换到连续转换模式，请向 Configuration 寄存器中的 MODE 位写入 0b。

7.4.2.2 连续转换模式

在连续转换模式 (MODE 位设置为 0b) 下，ADS101xL 连续执行转换。转换完成后，ADS101xL 将结果放入 [Conversion 寄存器](#) 中并立即开始另一次转换。写入新的配置设置时，当前正在进行的转换将使用先前的配置设置完成。此后，开始使用新配置设置进行连续转换。要切换至单次转换模式，请将 1b 写入 Configuration 寄存器中的 MODE 位或复位器件。

7.5 编程

7.5.1 I²C 接口

ADS101xL 使用一个内部集成电路 (I²C) 兼容接口进行串行通信。I²C 是一种两线制开漏通信接口，允许使用器件寻址在同一总线上的控制器器件和多个目标器件之间进行通信。I²C 总线上的每个目标器件都必须具有唯一的地址。I²C 总线上的通信始终在两个器件之间进行：一个器件用作控制器，另一个器件用作目标。控制器和目标都可以接收和发送数据，但目标只能在控制器的指示下进行读取或写入。ADS101xL 始终用作 I²C 目标器件。

I²C 总线由两条线组成：SDA 和 SCL。SDA 传输数据，SCL 提供时钟。I²C 总线上的器件通过将总线接地来将总线驱动为低电平；这些器件永远不会将总线驱动为高电平。相反，总线被上拉电阻器拉至高电平；因此，当器件未将总线驱动为低电平时，总线始终为高电平。由于该配置，两个器件不会发生冲突。如果两个器件同时驱动总线，则不会发生驱动器争用。

有关更多详细信息，请参阅 NXP SemiconductorsTM 的 [I²C 总线规范和用户手册](#)。

7.5.1.1 I²C 地址选择

ADS101xL 具有一个地址引脚 (ADDR)，用于配置器件的 I²C 地址。ADDR 引脚可以连接到 GND、VDD、SDA 或 SCL（如表 7-2 所示），从而允许通过一个引脚选择四个不同的地址。在每个事务开始时，即在启动条件（SDA 的第一个下降沿）和地址字节的第一个 SCL 下降沿之间，ADS101xL 会再次解码地址配置。

首先使用 GND、VDD 或 SCL 连接进行地址选择。如果使用 SDA 连接来选择地址，请在 SCL 线变为低电平后将 SDA 线保持低电平达至少 100ns，以便确保器件在 I²C 通信期间正确解码地址。

表 7-2. ADDR 引脚连接和相应的目标地址

ADDR 引脚连接	目标地址
GND	1001 000b
VDD	1001 001b
SDA	1001 010b
SCL	1001 011b

7.5.1.2 I²C 接口速度

ADS101xL 支持以下 I²C 接口速度：比特率高达 100kbit/s 的标准模式 (Sm) 和比特率高达 400kbit/s 的快速模式 (Fm)。不支持快速+ 模式 (Fm+) 和高速模式 (Hs 模式)。

7.5.1.2.1 串行时钟 (SCL) 和串行数据 (SDA)

串行时钟 (SCL) 线在时钟的控制下将数据输入和输出器件。控制器始终驱动时钟线。ADS101xL 无法用作控制器，因此永远无法驱动 SCL。

串行数据 (SDA) 线允许主机（控制器）和 ADS101xL（目标）之间进行双向通信。当控制器从 ADS101xL 器件读取数据时，ADS101xL 驱动数据线；当控制器向 ADS101xL 器件写入数据时，控制器驱动数据线。

在时钟的高电平期间，SDA 线上的数据必须保持稳定。数据线的高电平或低电平状态只能在 SCL 线为低电平时发生变化。为每个已传输的数据位生成一个时钟脉冲。当处于空闲状态时，控制器应使 SCL 保持高电平。

SDA 线稳定后，SCL 线先变为高电平，然后再变为低电平。SCL 上的该脉冲会在时钟的控制下将 SDA 位输入到接收器移位寄存器中。

7.5.1.3 I²C 数据传输协议

图 7-8 展示了数据传输的格式。控制器通过生成启动 (S) 条件来启动与 ADS101xL 相关的所有事务。当 SCL 为高电平时，SDA 线上从高电平到低电平的转换定义了启动条件。在产生启动条件之后，总线被视为处于忙状态。

在产生启动条件之后，控制器发送与控制器要与之通信的 ADS101xL 地址相对应的 7 位目标地址。然后控制器发送第八位，即数据方向位 (R/W)。R/W 位为 0b 表示写入操作，R/W 位为 1b 表示读取操作。在 R/W 位之后，控

制器生成第九个 SCLK 脉冲并释放 SDA 线，以便允许 ADS101xL 通过将 SDA 拉至低电平来响应 (ACK) 目标地址接收。如果器件无法识别目标地址，ADS101xL 会将 SDA 保持为高电平以指示无应答 (NACK) 信号。

接下来是数据传输。如果事务是读取 ($R/W = 1b$)，则 ADS101xL 在 SDA 上输出数据。如果事务是写入 ($R/W = 0b$)，则主机在 SDA 上输出数据。数据按字节传输，首先传输最高有效位 (MSB)。每次传输可以传输的字节数不受限制。每个字节必须由接收器响应 (使用 ACK 位)。如果事务是读取，则控制器发出 ACK 位。如果事务是写入，则 ADS101xL 发出 ACK 位。

控制器通过生成停止 (P) 条件来终止所有事务。当 SCL 为高电平时，SDA 线上从低电平到高电平的转换定义停止条件。在产生停止条件之后 t_{BUF} (总线空闲时间)，总线再次被视为空闲。

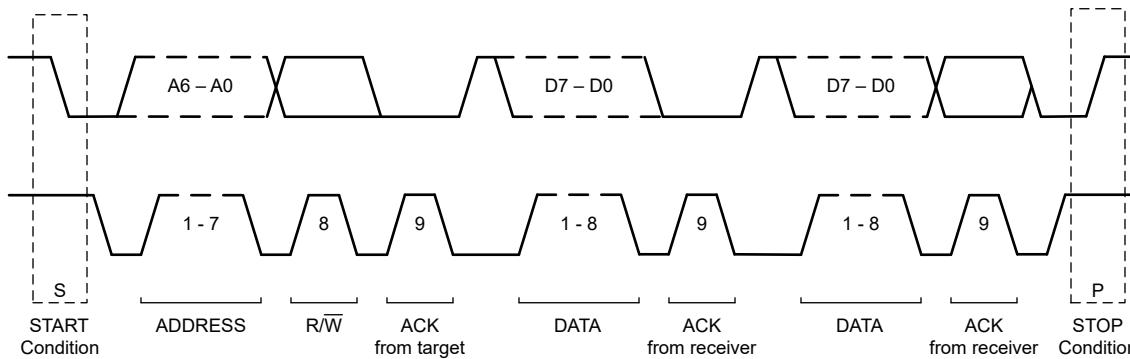


图 7-8. I²C 数据传输格式

7.5.1.4 Timeout

ADS101xL 提供 I²C 超时功能，可用于在串行接口传输中断时恢复通信。如果主机发起与 ADS101xL 的联系，但随后在完成命令之前保持空闲 25ms，则 ADS101xL 接口会复位。如果 ADS101xL 接口由于超时条件而复位，则主机必须中止事务并通过发出新的启动条件再次重新启动通信。

7.5.1.5 I²C 通用呼叫 (软件复位)

如果 R/W 位是 0b，则 ADS101xL 会对 I²C 通用广播地址 (0000 000b) 做出响应。器件响应通用广播地址，如果下一个字节为 06h，则 ADS101xL 复位内部寄存器并进入断电状态。

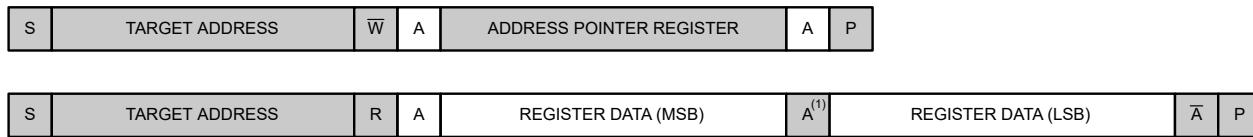
7.5.2 对寄存器数据进行读取和写入

要访问 ADS101xL 的特定寄存器，控制器必须首先将相应的值写入 **Address Pointer** 寄存器中的寄存器地址指针位 P[1:0]。在目标地址字节、低电平 R/W 位和成功目标响应之后直接对 **Address Pointer** 寄存器进行写入。对 **Address Pointer** 寄存器进行写入后，目标进行响应，控制器发出停止或重复启动条件。

7.5.2.1 读取转换数据或配置寄存器

可以通过使用两个 I²C 通信帧来读取 **Conversion** 寄存器或 **Configuration** 寄存器，如图 7-9 所示。第一个帧是 I²C 写入操作，其中目标地址末尾的 R/W 位是 0b，用于指示写入。在该帧中，主机发送指向要读取的寄存器的 **Address Pointer** 寄存器。第二个帧是 I²C 读取操作，其中目标地址末尾的 R/W 位为 1b，用于指示读取。ADS101xL 在第二个 I²C 帧中传输寄存器的内容。控制器可以在任何字节后通过无应答或发出启动或停止条件来终止传输。

当重复读取同一寄存器时，不需要每次都再次对 **Address Pointer** 寄存器进行写入，因为 ADS101xL 会存储 **Address Pointer** 寄存器的值，直到写入操作修改该值为止。



控制器可以在第一个字节之后通过无应答来终止传输。

图 7-9. 读取寄存器数据

7.5.2.2 对 Configuration 寄存器进行写入

使用单个 I²C 通信帧对 **Configuration** 寄存器进行写入（如图 7-10 所示）。目标地址末尾的 R/W 位是 0b，用于指示写入。主机首先发送指向 **Configuration** 寄存器的 **Address Pointer** 寄存器，后跟表示要写入的寄存器内容的两个字节。ADS101xL 响应每个接收到的字节。

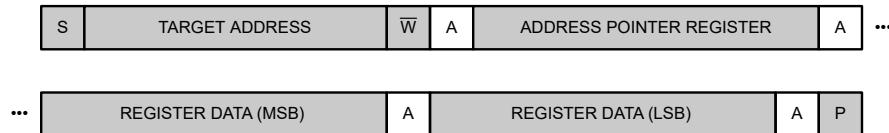


图 7-10. 写入寄存器数据

图 7-11 提供了图 7-9 和图 7-10 的图例。

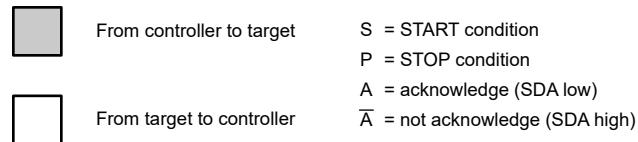


图 7-11. I²C 序列图的图例

7.5.3 数据格式

ADS101xL 在 16 位 **Conversion 寄存器** 中以二进制补码格式提供 12 位左对齐数据。正满量程 (+FS) 输入可生成输出代码 7FFh，负满量程 (-FS) 输入可生成输出代码 800h。输出在这些代码处针对超出满量程范围的信号进行削波。表 7-3 总结了不同输入信号的理想输出代码。图 7-12 展示了代码转换与输入电压间的关系。

表 7-3. 输入信号与理想输出代码间的关系

输入信号 $V_{IN} = (V_{AINP} - V_{AINN})$	理想输出代码 ⁽¹⁾
$\geq +FS (2^{11} - 1)/2^{11}$	7FFh
$+FS/2^{11}$	001h
0	000h
$-FS/2^{11}$	FFFh
$\leq -FS$	800h

- (1) 排除噪声、INL、失调电压和增益误差的影响。
显示了 **Conversion 寄存器** 的 D[11:0] 位。

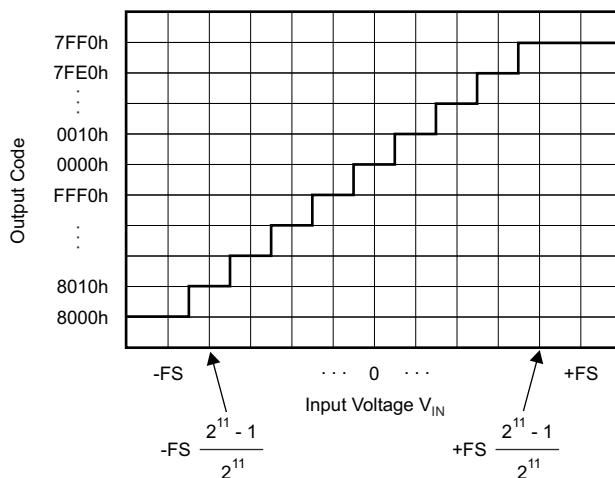


图 7-12. 代码转换图

备注

单端信号测量，其中 $V_{AINN} = 0V$ ， $V_{AINP} = 0V$ 至 $+FS$ ，仅使用 000h 至 7FFh 的正代码范围。但是，由于器件失调电压，如果 V_{AINP} 接近 0V，ADS101xL 仍然可能输出负代码。

8 寄存器映射

ADS101xL 具有四个可使用 **Address Pointer** 寄存器通过 I²C 接口访问的寄存器。**Conversion** 寄存器包含上次转换的结果。**Configuration** 寄存器用于更改 ADS101xL 运行模式和查询器件状态。其他两个寄存器 **Lo_thresh** 和 **Hi_thresh** 设置用于比较器功能的阈值。

8.1 Address Pointer 寄存器 (地址 = 不适用) [复位 = 不适用]

通过对 Address Pointer 寄存器进行写入可访问全部四个寄存器。

图 8-1. Address Pointer 寄存器

7	6	5	4	3	2	1	0
RESERVED						P[1:0]	
W-000000b						W-00b	

表 8-1. Address Pointer 寄存器字段说明

位	字段	类型	复位	说明
7:2	保留	W	000000b	始终写入 000000b
1:0	P[1:0]	W	00b	寄存器地址指针 00b : Conversion 寄存器 01b : Configuration 寄存器 10b : Lo_thresh 寄存器 11b : Hi_thresh 寄存器

8.2 Conversion 寄存器 (P[1:0] = 00b) [复位 = 0000h]

16 位 Conversion 寄存器包含上次转换的结果，以二进制补码格式表示。上电后，Conversion 寄存器被清除为 0000h，并在第一次转换完成之前一直保持为 0000h。

图 8-2. 转换寄存器

15	14	13	12	11	10	9	8
D[11:4]							
R-00h							
7	6	5	4	3	2	1	0
D[3:0]				RESERVED			
R-0h				R-0h			

表 8-2. 转换寄存器字段说明

位	字段	类型	复位	说明
15:4	D[11:0]	R	000h	12 位转换结果
3:0	保留	R	0h	始终读回 0h

8.3 Configuration 寄存器 (P[1:0] = 01b) [复位 = 8583h]

16 位 Configuration 寄存器控制运行模式、输入选择、数据速率、满标量程和比较器模式。

图 8-3. Configuration 寄存器 : ADS1014L

15	14	13	12	11	10	9	8
OS	RESERVED			PGA[2:0]		MODE	
R/W-1b	R/W-000b			R/W-010b		R/W-1b	
7	6	5	4	3	2	1	0
DR[2:0]	COMP_MODE	COMP_POL	COMP_LAT	COMP_QUE[1:0]			
R/W-100b	R/W-0b	R/W-0b	R/W-0b	R/W-0b		R/W-11b	

图 8-4. Configuration 寄存器 : ADS1015L

15	14	13	12	11	10	9	8
OS	MUX[2:0]			PGA[2:0]		MODE	
R/W-1b	R/W-000b			R/W-010b		R/W-1b	
7	6	5	4	3	2	1	0
DR[2:0]	COMP_MODE	COMP_POL	COMP_LAT	COMP_QUE[1:0]			
R/W-100b	R/W-0b	R/W-0b	R/W-0b	R/W-0b		R/W-11b	

表 8-3. 配置寄存器字段说明

位	字段	类型	复位	说明
15	OS	R/W	1b	运行状态或单次转换开始 该位决定器件的运行状态。OS 只能在断电状态下写入，在转换正在进行时无效。 如果写入： 0b : 无效 1b : 开始单次转换 (当处于断电模式时) 如果读取： 0b : 器件当前正在执行转换 1b : 器件当前未执行转换
14:12	MUX[2:0]	R/W	000b	输入多路复用器配置 (仅限 ADS1015L) 这些位用于配置输入多路复用器。 这些位在 ADS1014L 上不起作用。ADS1014L 始终使用输入 $AIN_P = AIN_0$ 和 $AIN_N = AIN_1$ 。 000b : $AIN_P = AIN_0$, $AIN_N = AIN_1$ 001b : $AIN_P = AIN_0$, $AIN_N = AIN_3$ 010b : $AIN_P = AIN_1$, $AIN_N = AIN_3$ 011b : $AIN_P = AIN_2$, $AIN_N = AIN_3$ 100b : $AIN_P = AIN_0$, $AIN_N = GND$ 101b : $AIN_P = AIN_1$, $AIN_N = GND$ 110b : $AIN_P = AIN_2$, $AIN_N = GND$ 111b : $AIN_P = AIN_3$, $AIN_N = GND$
11:9	PGA[2:0]	R/W	010b	可编程增益放大器配置 这些位设置可编程增益放大器的 FSR。 000b : FSR = $\pm 6.144V^{(1)}$ 001b : FSR = $\pm 4.096V^{(1)}$ 010b : FSR = $\pm 2.048V$ 011b : FSR = $\pm 1.024V$ 100b : FSR = $\pm 0.512V$ 101b : FSR = $\pm 0.256V$ 110b : FSR = $\pm 0.256V$ 111b : FSR = $\pm 0.256V$
8	MODE	R/W	1b	器件运行模式 该位控制运行模式。 0b : 连续转换模式 1b : 单次模式或断电状态

表 8-3. 配置寄存器字段说明 (续)

位	字段	类型	复位	说明
7:5	DR[2:0]	R/W	100b	数据速率 这些位控制数据速率设置。 000b : 128SPS 001b : 250SPS 010b : 490SPS 011b : 920SPS 100b : 1600SPS 101b : 2400SPS 110b : 3300SPS 111b : 3300SPS
4	COMP_MODE	R/W	0b	比较器模式 该位配置比较器运行模式。 0b : 传统比较器 1b : 窗口比较器
3	COMP_POL	R/W	0b	比较器极性 该位控制 ALERT/RDY 引脚的极性。 0b : 低电平有效 1b : 高电平有效
2	COMP_LAT	R/W	0b	锁存比较器 该位控制 ALERT/RDY 引脚是否在被置为有效后锁存或者在转换处于上限阈值和下限阈值的裕度内后清除。 0b : 非锁存比较器。ALERT/RDY 引脚在被置为有效时不锁存。 1b : 锁存比较器。被置为有效的 ALERT/RDY 引脚保持锁存状态，直到控制器读取转换数据或控制器发送相应的 SMBus 警报响应。器件以一个地址进行响应，该地址是当前将 ALERT/RDY 总线置为有效的最低地址。
1:0	COMP_QUE[1:0]	R/W	11b	比较器队列和禁用 这些位执行两项功能。当设置为 11b 时，比较器被禁用，并且 ALERT/RDY 引脚被设置为高阻抗状态。当设置为任何其他值时，将启用 ALERT/RDY 引脚和比较器功能，设定值确定在将 ALERT/RDY 引脚置为有效之前所需的超过上限或下限阈值的连续转换次数。 00b : 在一次转换后置为有效 01b : 在两次转换后置为有效 10b : 在四次转换后置为有效 11b : 禁用比较器并将 ALERT/RDY 引脚设置为高阻抗

(1) 该参数表示 ADC 调节的满量程范围。请勿向器件的模拟输入施加超过 $VDD + 0.3V$ 的电压。

8.4 Lo_thresh (P[1:0] = 10b) [复位 = 8000h] 和 Hi_thresh (P[1:0] = 11b) [复位 = 7FFFh] 寄存器

比较器使用的上限和下限阈值以二进制补码格式存储在两个 16 位寄存器中。比较器被实现为数字比较器；因此，只要 PGA 设置发生更改，就必须更新这些寄存器中的值。

可以通过将 Hi_thresh 寄存器 MSB 设置为 1b 并将 Lo_thresh 寄存器 MSB 设置为 0b 来启用 ALERT/RDY 引脚的转换就绪功能。要使用 ALERT/RDY 引脚的比较器功能，Hi_thresh 寄存器值必须始终大于 Lo_thresh 寄存器值。Lo_thresh 寄存器和 Hi_thresh 寄存器中显示了阈值寄存器格式。当设置为 RDY 模式时，ALERT/RDY 引脚在单次模式下输出 OS 位，在连续转换模式下提供连续转换就绪脉冲。

图 8-5. Lo_thresh 寄存器

15	14	13	12	11	10	9	8
Lo_thresh[11:4]							
R/W-80h							
7	6	5	4	3	2	1	0
Lo_thresh[3:0]				RESERVED			
R/W-0h				R-0h			

图 8-6. Hi_thresh 寄存器

15	14	13	12	11	10	9	8
Hi_thresh[11:4]							
R/W-7Fh							
7	6	5	4	3	2	1	0
Hi_thresh[3:0]				RESERVED			
R/W-Fh				R-Fh			

表 8-4. Lo_thresh 和 Hi_thresh 寄存器字段说明

位	字段	类型	复位	说明
15:4	Lo_thresh[11:0]	R/W	800h	下限阈值
15:4	Hi_thresh[11:0]	R/W	7FFh	上限阈值

9 应用和实施

备注

以下应用部分中的信息不属 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

9.1 应用信息

以下各节提供了在各种情况下使用 ADS101xL 的示例电路和建议。

9.1.1 基本连接

图 9-1 展示了 ADS1015L 的典型 I²C 连接。

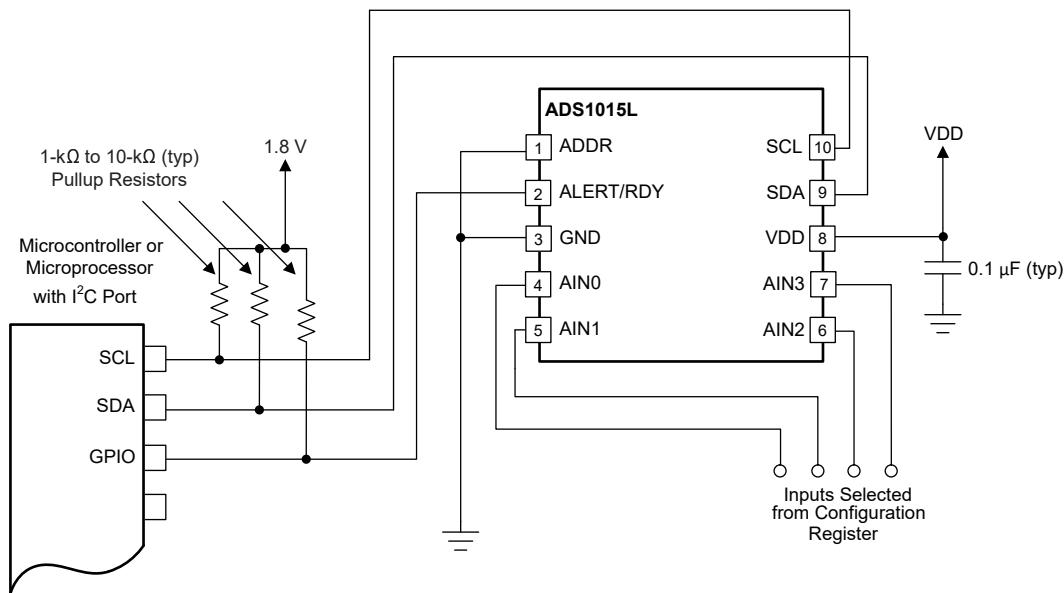


图 9-1. 典型连接 ADS1015L

ADS101xL 的全差分电压输入专为连接具有较低源阻抗（例如热电偶和热敏电阻）的差分源而设计。尽管 ADS101xL 可以读取双极差分信号，但这些器件无法在任一输入上接受负电压。

ADS101xL 会在转换期间消耗瞬态电流。0.1 μF 电源旁路电容器提供电源所需的瞬时突发额外电流。

ADS101xL 直接连接到标准模式和快速模式 I²C 控制器。任何微控制器 I²C 外设（包括仅控制器和单控制器 I²C 外设）均可与 ADS101xL 一起运行。ADS101xL 不执行时钟延展（即器件从不将时钟线拉至低电平），因此不需要提供该功能，除非其他时钟延展器件位于同一 I²C 总线上。

由于 I²C 总线驱动器是开漏驱动器，因此 SDA 和 SCL 线上都需要上拉电阻器。这些电阻器的大小取决于总线运行速度和总线的电容。阻值较高的电阻器消耗更少的功率，但会增加总线上的转换时间，从而限制总线速度。阻值较低的电阻器可实现更高的速度，但代价是功耗更高。长总线具有更高的电容，需要更小的上拉电阻器进行补偿。不要使用阻值过小的电阻器，避免总线驱动器无法将总线拉至低电平。

9.1.2 未使用的输入和输出

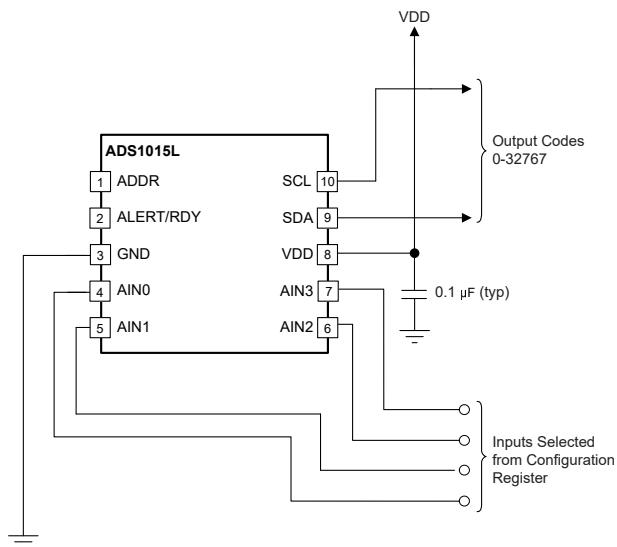
对于未使用的器件引脚的连接，请遵循以下指南：

- 使未使用的模拟输入悬空，或将未使用的模拟输入连接到 GND
- 使 NC（未连接）引脚悬空，或将 NC 引脚连接到 GND
- 如果未使用 ALERT/RDY 输出引脚，请将该引脚悬空或使用弱上拉电阻器将该引脚连接到 VDD

9.1.3 单端输入

ADS1014L 可以测量一个单端信号，ADS1015L 可以测量多达四个单端信号。ADS1014L 可以通过在外部将 AIN1 连接到 GND 来测量单端信号。ADS1015L 通过适当配置 **Configuration 寄存器** 中的 MUX[2:0] 位来测量单端信号。图 9-2 展示了 ADS1015L 的单端连接方案。单端信号的范围为 0V 至正电源电压或 $+FS$ ，以较低者为准。不能向这些器件施加负电压，因为 ADS101xL 只能接受相对于接地端的正电压。ADS101xL 在输入范围内不会失去线性。

ADS101xL 提供 $\pm FSR$ 的差分输入电压范围。单端配置仅使用满量程输入电压范围的一半。差分配置更大限度地提高了 ADC 的动态范围，并提供比单端配置更好的共模噪声抑制。



注：为了清楚起见，省略了数字引脚连接。

图 9-2. 测量单端输入

通过适当设置 MUX[2:0] 位，ADS1015L 还允许 AIN3 用作测量的公共点。以 AIN3 为基准可测量 AIN0、AIN1 和 AIN2。在该配置中，ADS1015L 与输入配合工作，AIN3 用作公共点。该功能提高了单端配置的可用范围，因为当 $GND < V_{(AIN3)} < VDD$ 时允许负差分电压；然而，不提供共模噪声衰减。

9.1.4 输入保护

ADS101xL 采用小几何尺寸、低电压工艺制造。模拟输入具有连接到电源轨的保护二极管。然而，这些二极管的电流处理能力有限，并且长时间超出电源轨约 300mV 的模拟输入电压可能会永久损坏 ADS101xL。防止过压的一种方法是在输入线上放置限流电阻器。ADS101xL 模拟输入能够承受高达 10mA 的持续电流。

9.1.5 模拟输入滤波

模拟输入滤波有两个用途：

1. 限制采样过程中混叠的影响
2. 降低测量过程中的外部噪声

如果输入信号的频率分量高于 ADC 采样频率的一半（也称为奈奎斯特频率），将发生混叠。这些频率分量发生折返并在实际所关注的频带中显示为小于采样频率的一半。数字滤波器的滤波器响应（如图 9-3 所示）以采样频率（也称为调制器频率 (f_{MOD})）的倍数重复。频率高达一定值的信号或噪声（滤波器响应在该频率下发生重复）会在数字滤波器的作用下发生一定程度的衰减，具体取决于滤波器结构。除非由外部模拟滤波器进行衰减，否则输入信号中存在的接近于调制器频率或其倍数的任何频率分量都不会衰减并混叠回至相关的频带。

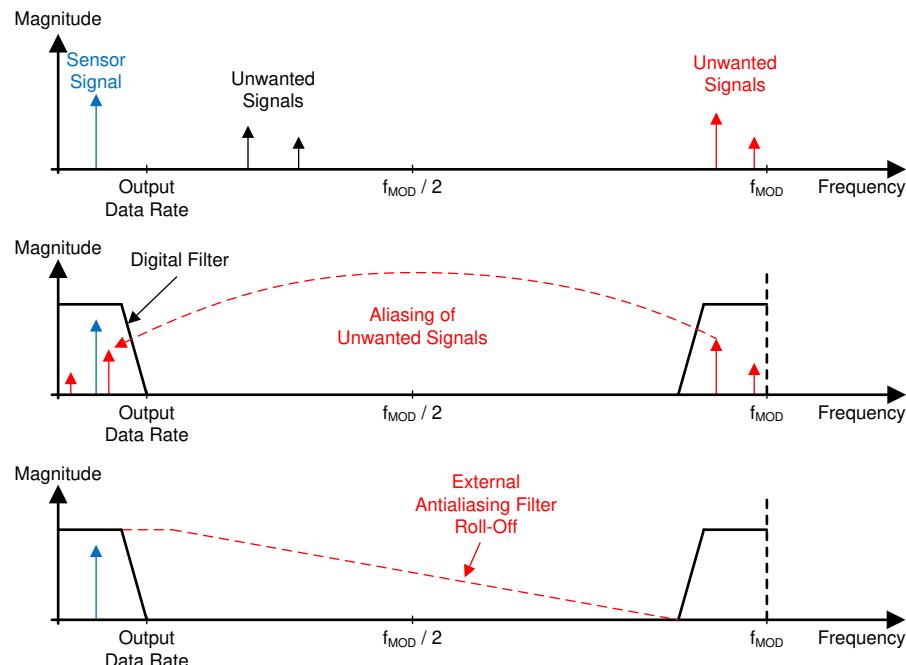


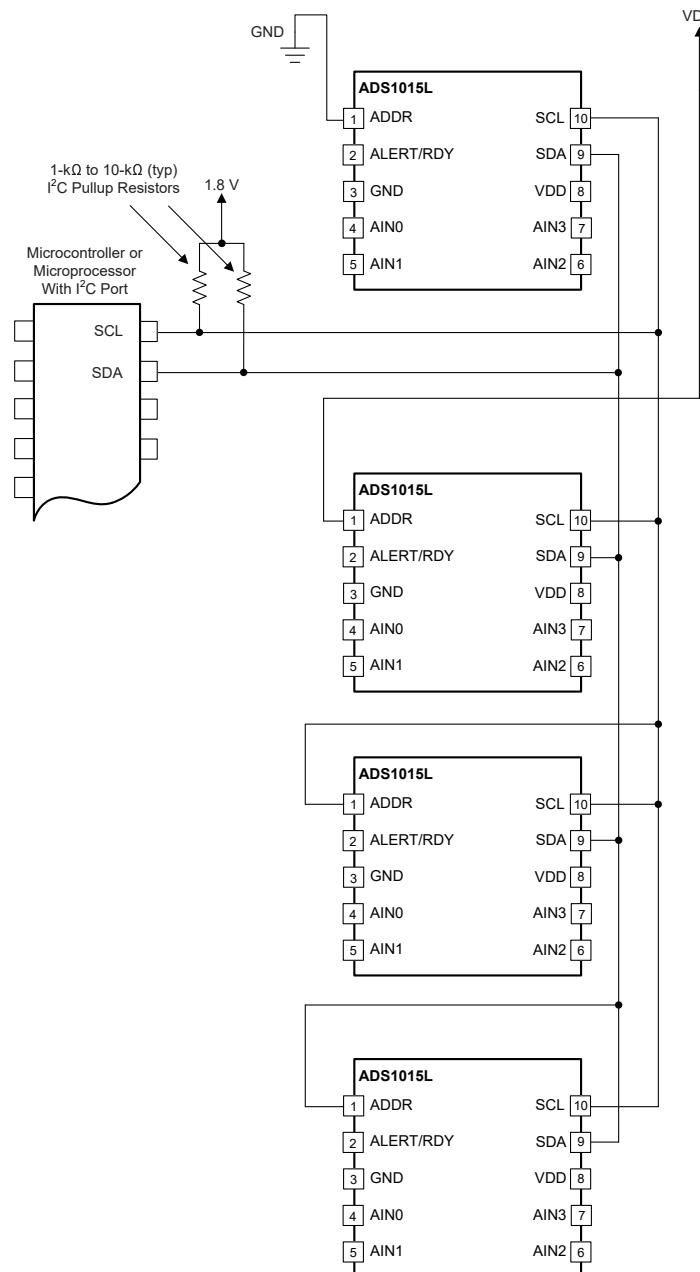
图 9-3. 混叠的影响

许多传感器信号本质上是带限信号（例如，热电偶的输出具有有限的变化率）。在这种情况下，当使用 $\Delta \Sigma$ ADC 时，传感器信号不会混叠回至通带。然而，沿着传感器接线或应用电路拾取的任何噪声都可能混叠到通带中。电源线路周期频率和谐波是常见噪声源。电磁干扰 (EMI) 或射频干扰 (RFI) 源（例如附近的电机和手机）也会产生外部噪声。另一种噪声源通常以时钟和其他数字信号的形式存在于印刷电路板 (PCB) 上。模拟输入滤波有助于移除意外出现的信号，防止其影响测量结果。

一阶阻容 (RC) 滤波器（在大多数情况下）足以完全消除混叠或将混叠的影响降至传感器噪底范围内的某一水平。一般而言，任何超过 $f_{MOD}/2$ 的信号都会衰减至低于 ADC 的本底噪声的水平。ADS101xL 的数字滤波器可在一定程度上使信号发生衰减。此外，噪声分量的幅值通常小于实际传感器信号的幅值。因此，系统设计最初通常选择截止频率设置为与输出数据速率相等或是其 10 倍的一阶 RC 滤波器。

9.1.6 连接多个器件

通过为每个器件使用不同的地址引脚配置，最多可以将四个 ADS101xL 器件连接到单个 I²C 总线。使用地址引脚将 ADS101xL 设置为四个不同的 I²C 地址之一。首先使用 GND、VDD 和 SCL 地址。如果使用 SDA 作为器件地址，请在 SCL 线变为低电平后将 SDA 线保持低电平达至少 100ns，以便确保器件在 I²C 通信期间正确解码地址。图 9-4 展示了同一 I²C 总线上的四个 ADS101xL 器件的示例。每条总线需要一组上拉电阻器。如果需要，可以降低上拉电阻器的阻值以补偿多个器件和增加的线路长度带来的额外总线电容。



注：为清楚起见，省略了 ADS101xL 电源和输入连接。ADDR 引脚选择 I²C 地址。

图 9-4. 连接多个 ADS101xL 器件

9.1.7 实施占空比以实现低功耗

当输出传输数据速率降低时，由于获取一个转换结果需要对内部调制器的更多样本求取平均值，因此 $\Delta \Sigma$ ADC 的噪声性能通常有所改善。在功耗至关重要的应用中，并不总是需要在低数据速率下提高噪声性能。对于这些应用，ADS101xL 支持占空比，通过以实际较低的数据速率定期请求高数据速率读数，可显著节省功耗。例如，处于断电状态且数据速率设置为 3300SPS 的 ADS101xL 可由微控制器操作，该微控制器命令每 7.8ms (128SPS) 进行一次单次转换。以 3300SPS 速率进行的单次转换仅需要大约 0.3ms，因此 ADS101xL 在剩余的 7.5ms 进入断电状态。在该配置下，ADS101xL 消耗的功率约为连续转换模式下的消耗功率的 1/25。占空比完全是任意的，由控制器定义。ADS101xL 可提供不实施占空比的低数据速率并可根据需要提供更高的噪声性能。

9.1.8 I²C 通信序列示例

本节提供了微控制器（控制器）和配置了目标地址 1001 000b 的 ADS101xL（目标）之间的 I²C 通信序列示例，该通信序列启动单次转换并随后读取转换结果。

1. 如图 9-6 所示对 Configuration 寄存器进行写入，以配置器件（例如，当使用 ADS1015L 时，写入 MUX[2:0] = 000b、PGA[2:0] = 010b、MODE = 1b、DR[2:0] = 110b）并启动单次转换（OS = 1b）。

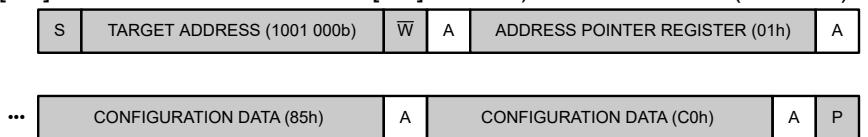


图 9-5. 对 Configuration 寄存器进行写入

2. 至少等待 $t = 1/DR \pm 10\%$ 转换才能完成。

或者，如图 9-6 所示，轮询 OS 位是否为 1b，以便确定转换结果何时可供检索。该选项在连续转换模式下不起作用，因为 OS 位的读取结果始终为 0b。

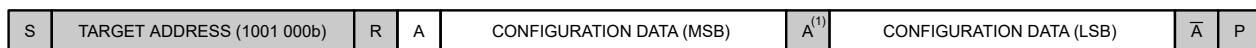


图 9-6. 读取 Configuration 寄存器以检查 OS 是否为 1b

3. 然后，如图 9-7 所示，读取 Conversion 寄存器。

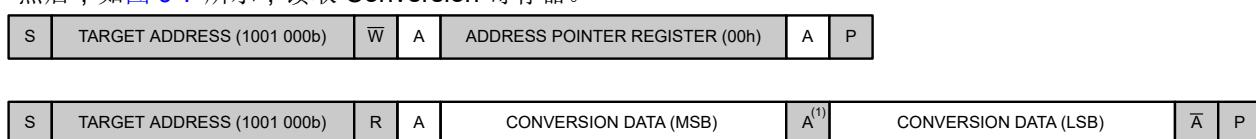


图 9-7. 读取 Conversion 寄存器

4. 通过向配置寄存器中的 OS 位写入 1b 来启动新的单次转换。

为了节省时间，还可以在读取转换结果（步骤 3）之前启动新的转换（步骤 4）。图 9-8 列出了图 9-5 至图 9-7 的图例。



图 9-8. I²C 序列图的图例

9.2 典型应用

该应用示例说明了如何使用 ADS1015L 来监控系统中两个不同的电源电压轨。图 9-9 展示了用于监控两个电源电压轨的典型实现。

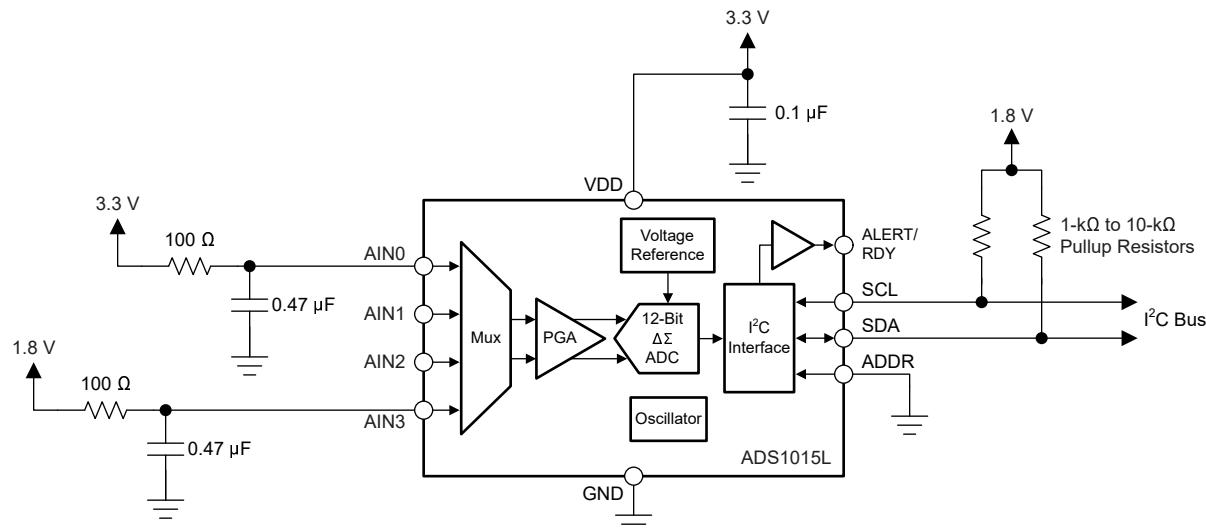


图 9-9. 监控两个电源电压轨：使用 ADS1015L

9.2.1 设计要求

表 9-1 列出了该应用的设计要求。

表 9-1. 设计要求

设计参数	值
器件电源电压	3.3V
要监控的电压轨	1.8V、3.3V
测量精度	±0.5%
更新速率	每个电压轨 1ms

9.2.2 详细设计过程

模拟输入 AIN0 和 AIN3 直接连接到通过 RC 滤波器监控的电源电压轨。选择了 100Ω 的小滤波电阻器阻值将 ADS1015L 输入电流引起的压降（以及因此产生的失调电压误差）降至最低。选择了 $0.47\mu F$ 的滤波电容器将滤波器截止频率设置为 3.39kHz 。为了在 2ms 内从两个电源中的每一个获取一个读数，选择了 2400SPS 的数据速率。该器件使用 MUX[2:0] 设置 100b 和 101b 设置为单端测量。选择了 $\text{FSR} = \pm 4.096\text{V}$ 来测量 3.3V 电压轨。还可以使用同一 FSR 来测量 1.8V 电压轨，或者可以将 FSR 设置为 $\text{FSR} = \pm 2.048\text{V}$ 。

9.2.3 应用曲线

图 9-10 中的测量结果表明，可以在整个工作环境温度范围内以 $\pm 0.5\%$ 的精度测量两个电源，而无需进行任何失调电压或增益校准。

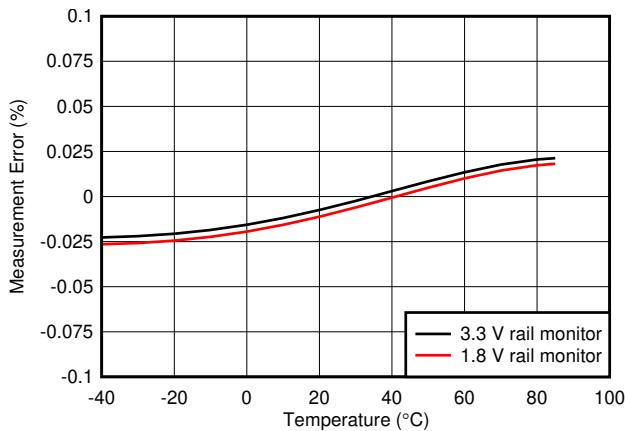


图 9-10. 测量误差与温度间的关系

9.3 电源相关建议

该器件需要一个单极电源 VDD 来为器件的模拟和数字电路供电。

9.3.1 电源排序

与器件进行通信前，请在 VDD 稳定后等待约 $50\mu\text{s}$ ，直至上电复位过程完成。

9.3.2 电源去耦

良好的电源去耦对于实现最优性能至关重要。如图 9-11 所示，必须使用至少 $0.1\mu\text{F}$ 的电容器对 VDD 进行去耦。当器件进行转换时， $0.1\mu\text{F}$ 旁路电容器可提供电源所需的瞬时突发额外电流。通过低阻抗连接将旁路电容放置在尽可能靠近器件电源引脚的位置。应使用多层陶瓷片式电容器 (MLCC) 提供低等效串联电阻 (ESR) 和电感 (ESL) 特性，从而实现电源去耦。对于非常敏感的系统或处于恶劣噪声环境中的系统，请勿使用过孔将电容器连接到器件引脚，以实现更好的抗噪性能。并联使用多个过孔可降低总电感并且有利于与接地平面相连。

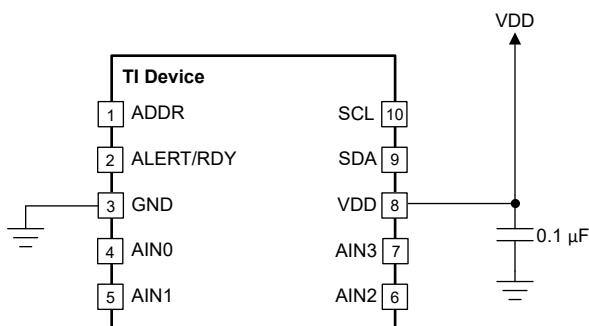


图 9-11. ADS1015L 电源去耦

9.4 布局

9.4.1 布局指南

在为模拟和数字元件进行印刷电路板 (PCB) 布局布线时，应遵循最佳设计实践。为了获得出色性能，请将模拟元件 [例如 ADC、放大器、基准、数模转换器 (DAC) 和模拟多路复用器] 与数字元件 [例如微控制器、复杂的可编程逻辑器件 (CPLD)、现场可编程逻辑门阵列 (FPGA)、射频 (RF) 收发器、通用串行总线 (USB) 收发器以及开关稳压器] 相分离。图 9-12 展示了良好的元件放置示例。尽管 图 9-12 给出了良好的组件布局示例，各应用的最佳布局只针对特定的几何尺寸、组件和 PCB 制造能力。即没有适用于所有设计的布局布线方式，因此在使用模拟组件进行设计时必须小心谨慎。

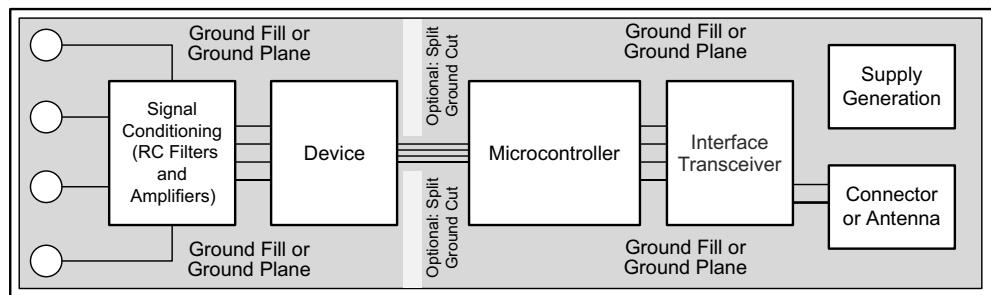


图 9-12. 系统组件布局

下面概述了 ADS101xL 布局的一些基本建议，旨在实现 ADC 的出色性能。不良的电路布局可能会毁掉良好的设计。

- 分离模拟信号和数字信号。首先，在布局允许的情况下，将电路板分为模拟部分和数字部分。在布线时使数字线路远离模拟线路。这种放布置方式可防止数字噪声耦合回到模拟信号中。
- 用接地填充物填充信号层上的空白区域。
- 提供良好的接地返回路径。信号返回电流在阻抗最小的路径上流动。如果接地平面被切割或有其他引线阻止电流在信号引线旁边流动，则电流必须找到另一条路径返回到源以完成电路。较长的返回电流路径会增加信号辐射的几率。敏感信号更容易受到 EMI 干扰的影响。
- 在电源上使用旁路电容器来降低高频噪声。不要在旁路电容器和有源器件之间放置过孔。将旁路电容器放置在尽可能靠近有源器件的同一层上可产生最佳结果。
- 考虑布线的电阻和电感。通常，输入端的引线具有电阻，这些电阻会与输入偏置电流发生反应，从而导致额外的误差电压。减小源信号和返回电流所包围的环路面积，以便减小路径中的电感。减小电感以降低 EMI 拾取，并减小器件观察到的高频阻抗。
- 对于测量源的两个输入，差分输入必须相匹配。
- 采用差分连接的模拟输入之间必须放置差分电容。差分测量的最佳输入组合使用相邻的模拟输入线（例如 AIN0、AIN1 和 AIN2、AIN3）。必须选择高品质差分电容。理想陶瓷片式电容器是 C0G (NPO)，这些电容器具有稳定的性能和低噪声特性。

9.4.2 布局示例

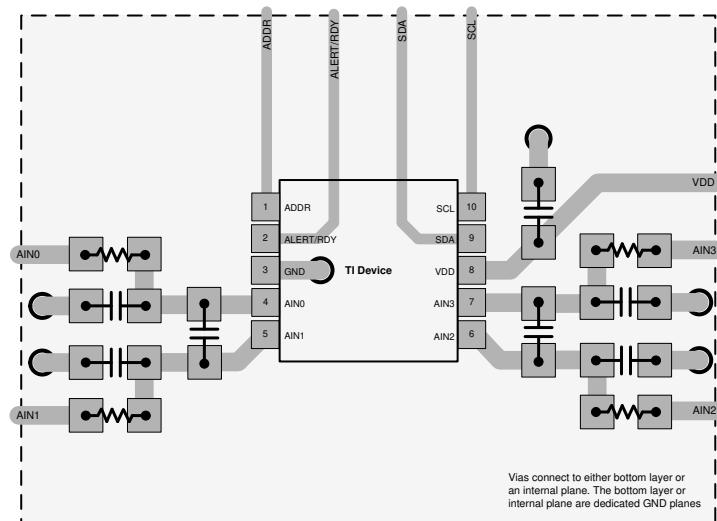


图 9-13. ADS1015L VSSOP 封装

10 器件和文档支持

10.1 接收文档更新通知

要接收文档更新通知，请导航至 [ti.com](https://www.ti.com) 上的器件产品文件夹。点击 [通知](#) 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.2 支持资源

[TI E2E™ 中文支持论坛](#) 是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的 [使用条款](#)。

10.3 商标

NXP Semiconductors™ is a trademark of NXP Semiconductors.

TI E2E™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

10.4 静电放电警告

 静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.5 术语表

[TI 术语表](#) 本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	说明
January 2024	*	初始发行版

12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

PACKAGING INFORMATION

Orderable Device	Status (1)	Package Type	Package Drawing	Pins	Package Qty	Eco Plan (2)	Lead finish/ Ball material (6)	MSL Peak Temp (3)	Op Temp (°C)	Device Marking (4/5)	Samples
ADS1014LIDGSR	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	014L	Samples
ADS1014LIYCJR	ACTIVE	DSBGA	YCJ	12	3000	RoHS & Green	Call TI	Level-1-260C-UNLIM	-40 to 125	3K7X	Samples
ADS1015LIDGSR	ACTIVE	VSSOP	DGS	10	2500	RoHS & Green	SN	Level-2-260C-1 YEAR	-40 to 125	015L	Samples

(1) The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

(2) **RoHS:** TI defines "RoHS" to mean semiconductor products that are compliant with the current EU RoHS requirements for all 10 RoHS substances, including the requirement that RoHS substance do not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, "RoHS" products are suitable for use in specified lead-free processes. TI may reference these types of products as "Pb-Free".

RoHS Exempt: TI defines "RoHS Exempt" to mean products that contain lead but are compliant with EU RoHS pursuant to a specific EU RoHS exemption.

Green: TI defines "Green" to mean the content of Chlorine (Cl) and Bromine (Br) based flame retardants meet JS709B low halogen requirements of <=1000ppm threshold. Antimony trioxide based flame retardants must also meet the <=1000ppm threshold requirement.

(3) MSL, Peak Temp. - The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

(4) There may be additional marking, which relates to the logo, the lot trace code information, or the environmental category on the device.

(5) Multiple Device Markings will be inside parentheses. Only one Device Marking contained in parentheses and separated by a "~" will appear on a device. If a line is indented then it is a continuation of the previous line and the two combined represent the entire Device Marking for that device.

(6) Lead finish/Ball material - Orderable Devices may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

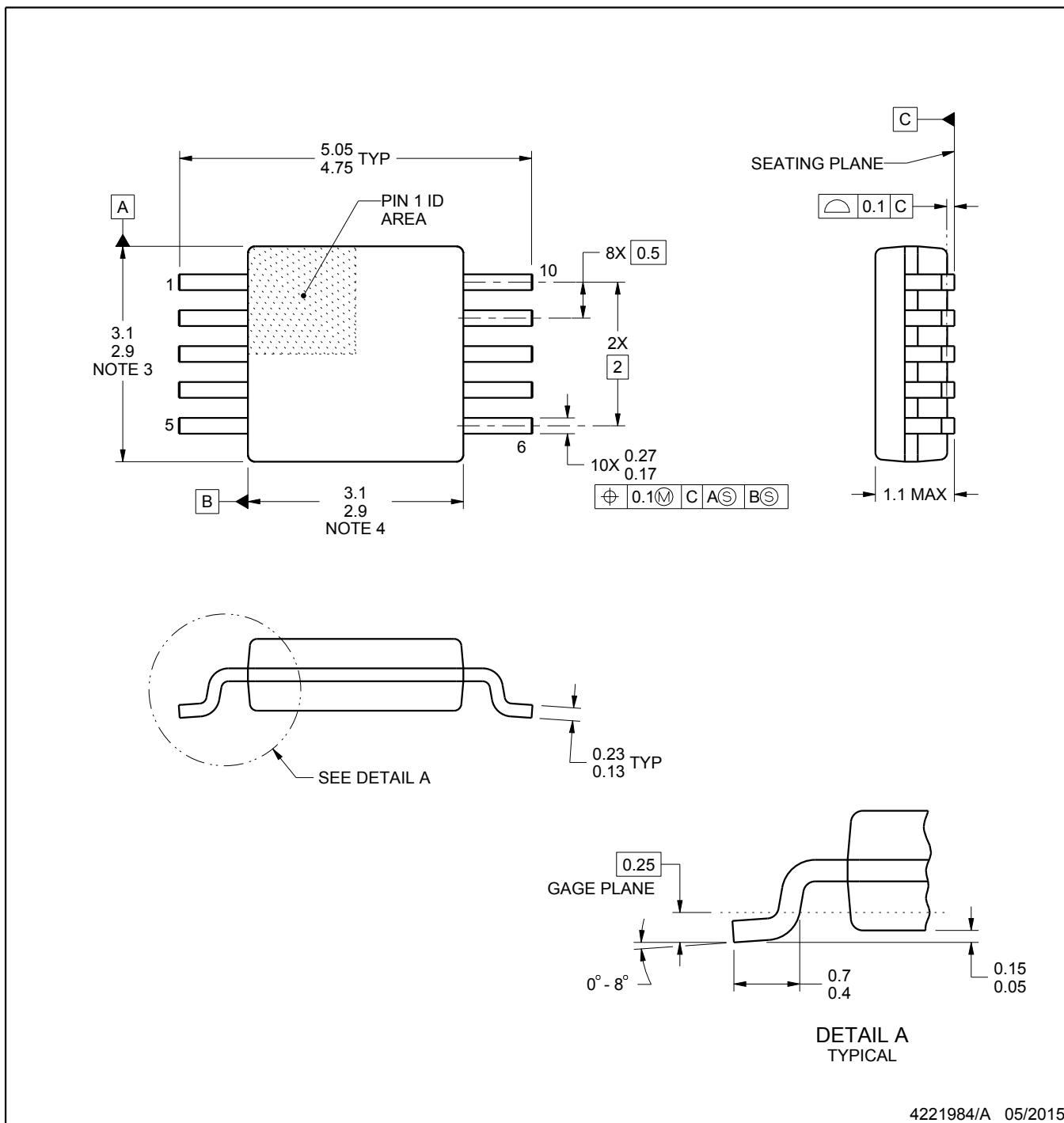
PACKAGE OUTLINE

DGS0010A



VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



NOTES:

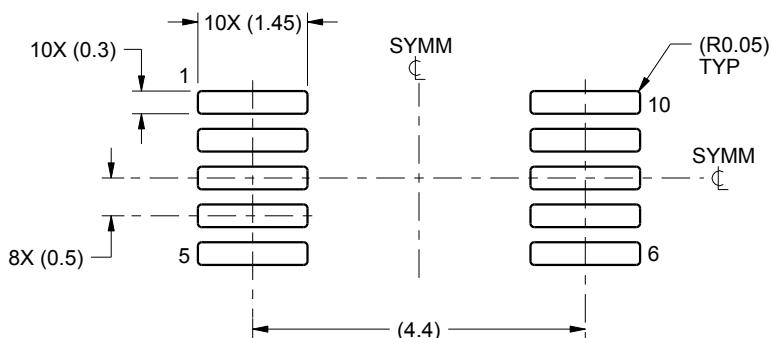
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187, variation BA.

EXAMPLE BOARD LAYOUT

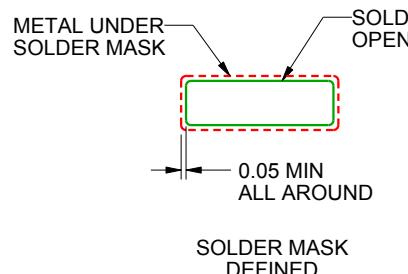
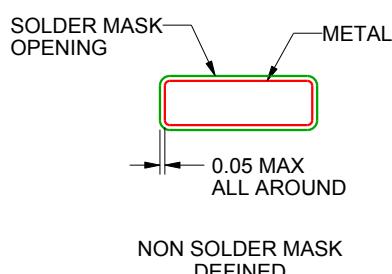
DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:10X



SOLDER MASK DETAILS
NOT TO SCALE

4221984/A 05/2015

NOTES: (continued)

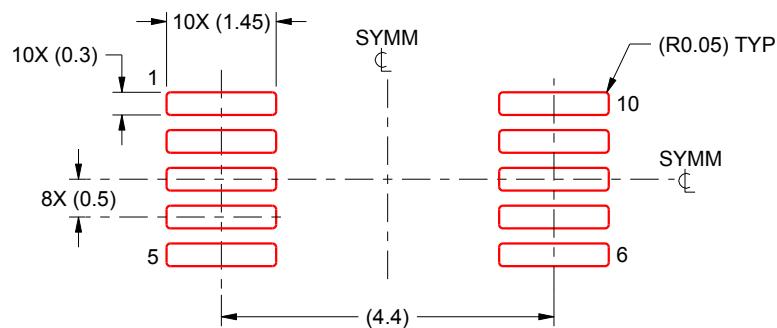
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DGS0010A

VSSOP - 1.1 mm max height

SMALL OUTLINE PACKAGE

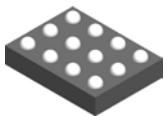


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221984/A 05/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

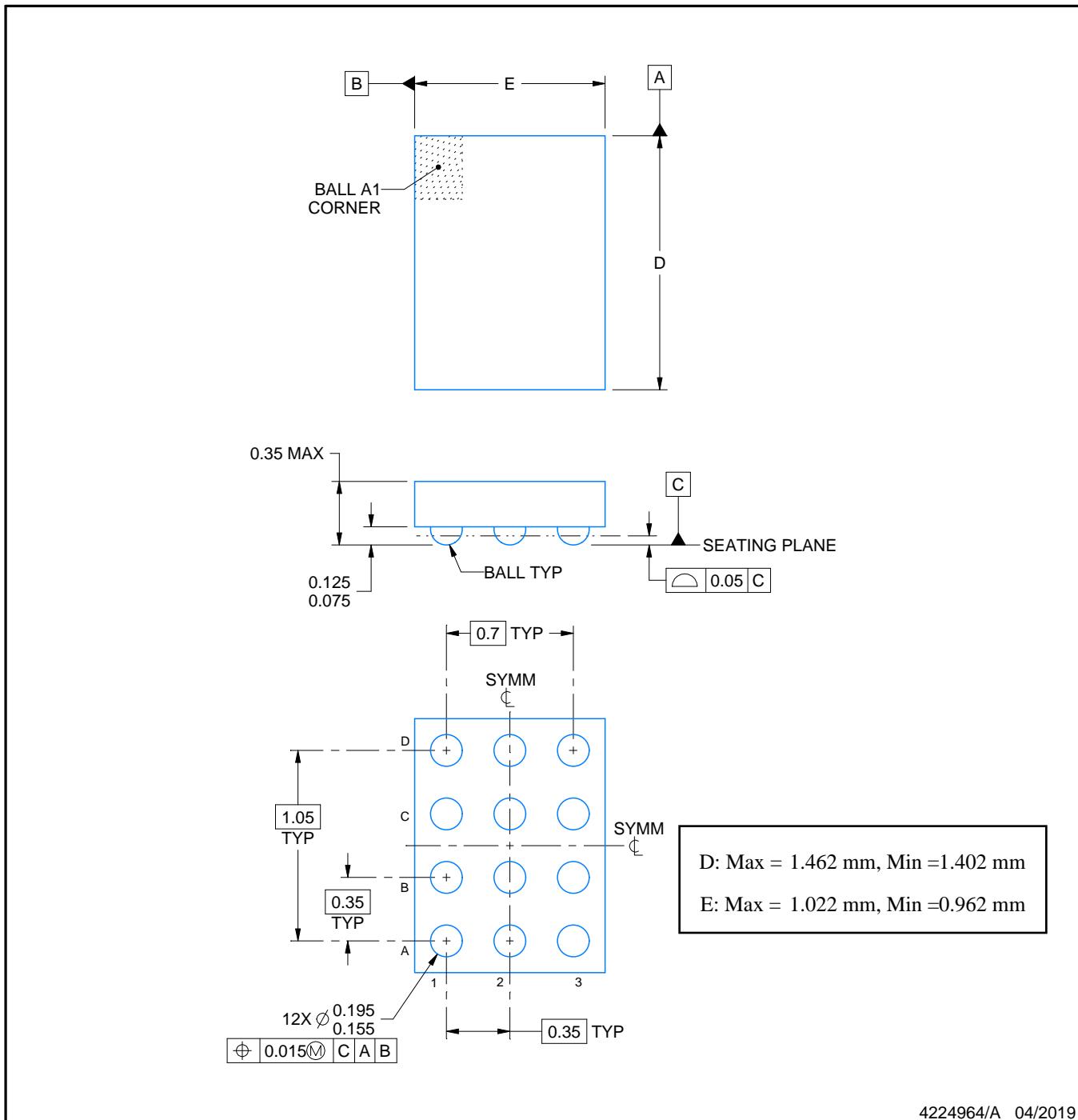


PACKAGE OUTLINE

YCJ0012

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



NOTES:

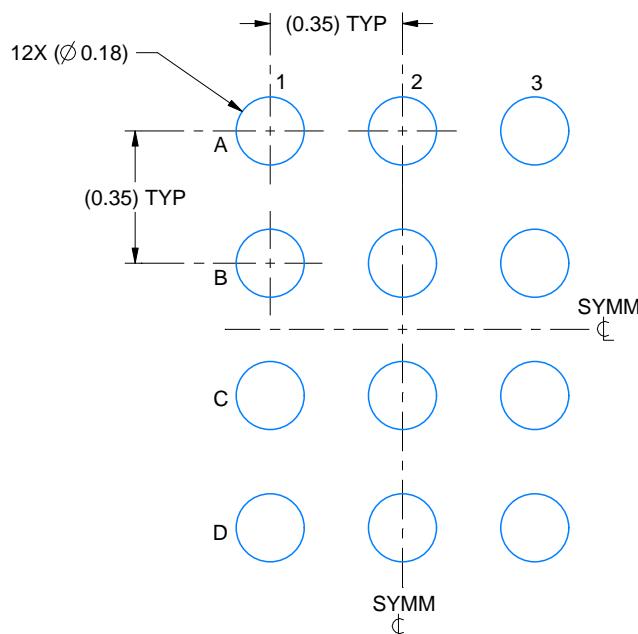
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.

EXAMPLE BOARD LAYOUT

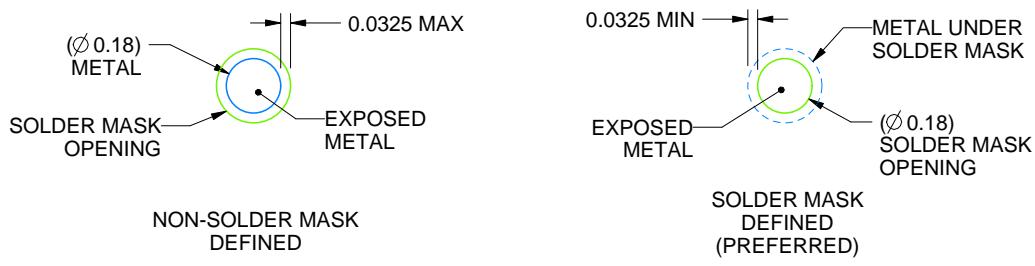
YCJ0012

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 50X



SOLDER MASK DETAILS
NOT TO SCALE

4224964/A 04/2019

NOTES: (continued)

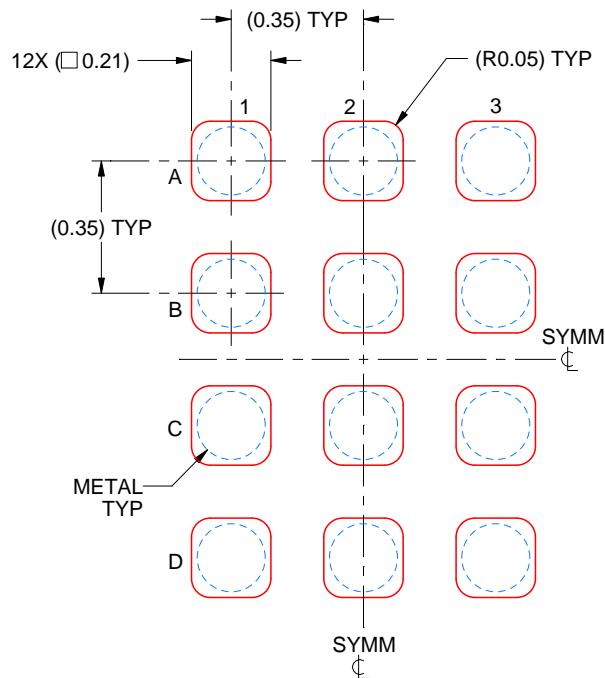
3. Final dimensions may vary due to manufacturing tolerance considerations and also routing constraints.
See Texas Instruments Literature No. SNVA009 (www.ti.com/lit/snva009).

EXAMPLE STENCIL DESIGN

YCJ0012

DSBGA - 0.35 mm max height

DIE SIZE BALL GRID ARRAY



SOLDER PASTE EXAMPLE
BASED ON 0.075 mm THICK STENCIL
SCALE: 50X

4224964/A 04/2019

NOTES: (continued)

4. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

版权所有 © 2025, 德州仪器 (TI) 公司